

LIGHT-EMITTING DEVICE

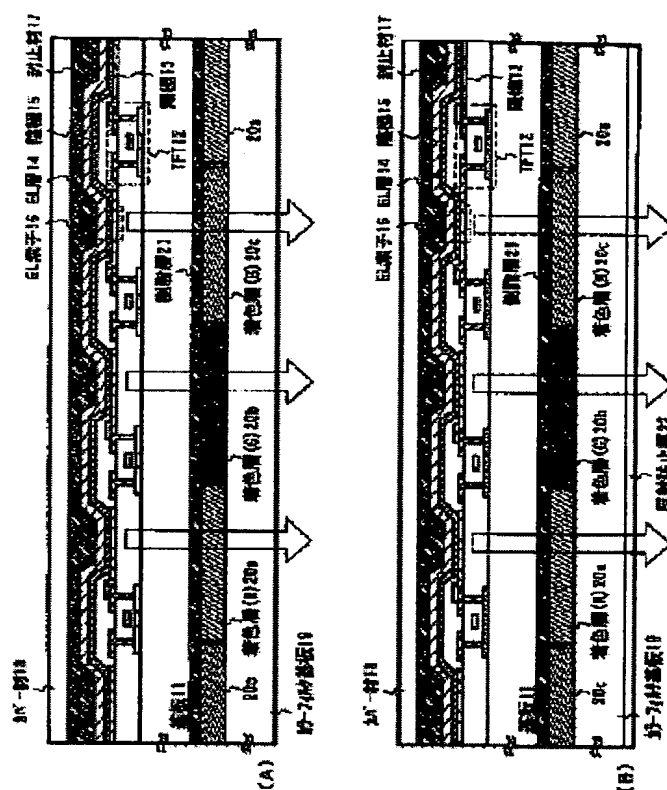
Patent number: JP2002015861
Publication date: 2002-01-18
Inventor: YAMAZAKI SHUNPEI;
FUKUNAGA KENJI; KOYAMA
JUN; INUKAI KAZUTAKA
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
- international: *G09F9/00; G09F9/30; H05B33/02;
H05B33/08; H05B33/10;
H05B33/12; H05B33/14;
G09F9/00; G09F9/30; H05B33/02;
H05B33/10; H05B33/12;
H05B33/14; (IPC1-7): H05B33/02;
G09F9/00; G09F9/30; H05B33/08;
H05B33/10; H05B33/12;
H05B33/14*
- european:
Application number: JP20010121821 20010419
Priority number(s): JP20010121821 20010419;
JP20000124019 20000425

Report a data error here

Abstract of **JP2002015861**

PROBLEM TO BE SOLVED: To provide a light-emitting device and electrical appliances at a low cost. **SOLUTION:** A substrate 11, to be formed with a semiconductor element 12 such as a thin-film transistor and a light-emitting element 16, such as an EL element and a color filter 20 to be attached to this substrate are manufactured in separate manufacturing processes, and thereafter, both of them are attached to each other so as to manufacture a

light-emitting device provided with a color filter. The substrate 11 and the color filter 20 are respectively manufactured by using the photolithographic technique, and the yield of the light-emitting device provided with the color filter is improved, and the manufacturing period is shortened by separately manufacturing the both.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-15861

(P2002-15861A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 5 B 33/02		H 0 5 B 33/02	3 K 0 0 7
G 0 9 F 9/00	3 1 3	G 0 9 F 9/00	3 1 3 5 C 0 9 4
	3 3 8		3 3 8 5 G 4 3 5
9/30	3 3 8	9/30	3 3 8
	3 6 5		3 6 5 Z

審査請求 未請求 請求項の数15 O L (全 41 頁) 最終頁に続く

(21) 出願番号 特願2001-121821(P2001-121821)

(22) 出願日 平成13年4月19日 (2001.4.19)

(31) 優先権主張番号 特願2000-124019(P2000-124019)

(32) 優先日 平成12年4月25日 (2000.4.25)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 福永 健司

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

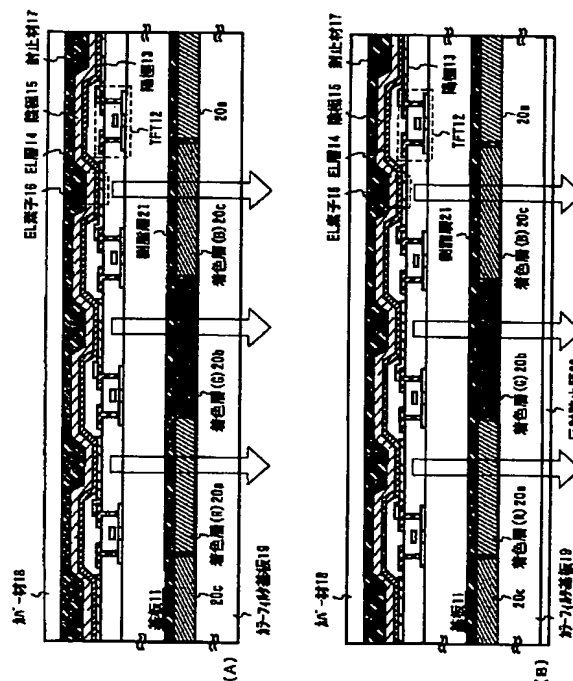
最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【要約】 (修正有)

【課題】 安価な発光装置および電気器具を提供する。

【解決手段】 薄膜トランジスタ等の半導体素子12やEL素子等の発光素子16の形成される基板11と、該基板に貼り合わせるカラーフィルタ20とを別々の製造工程により作製し、後に両者を貼り合わせることでカラーフィルタを備えた発光装置を完成させる。前記基板11とカラーフィルタ20はそれぞれフォトリソグラフィ技術を用いて作製されるため、両者を別々に作製することでカラーフィルタを備えた発光装置の歩留まりの向上および製造期間の短縮を図ることができる。



【特許請求の範囲】

【請求項 1】基板の表面側に発光素子を有し、前記基板の裏面側にカラーフィルタを有することを特徴とする発光装置。

【請求項 2】基板の表面側に発光素子を含む画素を有し、前記基板の裏面側に着色層を有した透明基板が樹脂膜を挟んで設けられていることを特徴とする発光装置。

【請求項 3】請求項 2 において、前記着色層は前記画素の位置に合わせて前記透明基板に設けられていることを特徴とする発光装置。

【請求項 4】請求項 2 または請求項 3 において、前記透明基板には反射防止膜もしくは偏光板が設けられていることを特徴とする発光装置。

【請求項 5】請求項 2 または請求項 3 において、前記透明基板は高分子材料からなることを特徴とする発光装置。

【請求項 6】請求項 2 または請求項 3 において、前記透明基板は高分子材料からなり、表面および裏面が炭素膜もしくは窒化珪素膜で覆われていることを特徴とする発光装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか一において、前記基板の厚さが $300\mu\text{m}$ 以下であることを特徴とする発光装置。

【請求項 8】請求項 1 乃至請求項 6 のいずれか一において、前記発光素子には半導体素子が電氣的に接続されていることを特徴とする発光装置。

【請求項 9】基板の表面側に発光素子を形成し、前記基板の裏面側にカラーフィルタを貼り合わせる過程を含むことを特徴とする発光装置の作製方法。

【請求項 10】基板の表面側に半導体素子および該半導体素子に電氣的に接続された発光素子を形成し、前記基板の裏面側にカラーフィルタを貼り合わせる過程を含むことを特徴とする発光装置の作製方法。

【請求項 11】基板の表面側に発光素子を形成し、前記基板の裏面側に着色層を有した透明基板を貼り合わせる過程を含むことを特徴とする発光装置の作製方法。

【請求項 12】基板の表面側に半導体素子および該半導体素子に電氣的に接続された発光素子を形成し、前記基板の裏面側に着色層を有した透明基板を貼り合わせる過程を含むことを特徴とする発光装置の作製方法。

【請求項 13】請求項 11 または請求項 12 において、前記透明基板に反射防止膜もしくは偏光板を貼り合わせる過程を含むことを特徴とする発光装置の作製方法。

【請求項 14】請求項 11 または請求項 12 において、前記透明基板として高分子材料を用いることを特徴とする発光装置の作製方法。

【請求項 15】請求項 9 乃至請求項 14 のいずれか一において、前記基板の裏面を CMP 技術を用いて研磨する過程を含むことを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子を有する発光装置及びその発光装置を表示部（表示ディスプレイまたは表示モニタ）に用いた電気器具に関する。特に、EL（Electro Luminescence）が得られる発光性材料（以下、EL 材料という）を用いた発光装置に関する。なお、有機 EL ディスプレイや有機発光ダイオード（OLED：Organic Light Emitting Diode）は本発明の発光装置に含まれる。

10 【0002】また、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】近年、発光性材料の EL 現象を利用した発光素子（以下、EL 素子という）を用いた発光装置（以下、EL 発光装置という）の開発が進んでいる。EL 発光装置は自発光素子を用いた表示装置であるため、液晶ディスプレイのようなバックライトが不要であり、さらに視野角が広いので、屋外で使用する携帯型機器の表示部として注目されている。

【0004】EL 発光装置においてカラー画像を表示する方式にカラーフィルタを用いる方式がある。例えば、白色発光の EL 素子を形成し、そこから発した白色光を R（赤）、G（緑）もしくは B（青）に対応した着色層を通過させることで、各色の光を得ることができる。

【0005】このような方式を採用する場合、従来は EL 素子が形成される基板上に各画素の位置に合わせて着色層を設けていた。従って、少なくとも 3 回のフォトリソグラフィ工程を必要としていた。

【0006】しかしながら、フォトリソグラフィ工程が 3 回も行われると EL 発光装置の製造工程が煩雑になるだけでなく、個別のフォトリソグラフィ工程の歩留まりが掛け算でいくため大幅な歩留まりの低下を招く恐れがあるといった問題があった。その結果、歩留まりの低下や製造期間の長期化に伴う製造コストの増加が問題となっていた。

【0007】

【発明が解決しようとする課題】本発明は上記問題点を鑑みてなされたものであり、着色層を形成するためのフォトリソグラフィ工程の歩留まりに影響されない発光装置の構造および作製方法を提供することを課題とする。そして、歩留まりの向上および製造期間の短縮を図り、製造コストを低減することにより安価な発光装置を提供することを課題とする。また、安価な発光装置を表示部として用いた安価な電気器具を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明は着色層を形成するためのフォトリソグラフィ工程を削減することにより

発光装置の歩留まりの向上および製造期間の短縮を図る。具体的には、発光素子が形成された基板とは別々の製造工程によりカラーフィルタを作製し、両者を貼り合わせることで発光装置を完成させることを特徴とする。

【0009】なお、カラーフィルタとは個別の波長感度特性を有する光学フィルタを指す。即ち、本発明で用いる透明基板、着色層および樹脂層（オーバーコート層）を含む光学フィルタはカラーフィルタと呼んで差し支えない。

【0010】本発明によれば発光素子を形成する製造工程と、着色層を形成する製造工程とが別々に行われるため、着色層を形成するフォトリソグラフィ工程の歩留まりが発光素子を形成する製造工程に影響しないという利点が得られる。

【0011】

【発明の実施の形態】本発明の実施の形態について図1を用いて説明する。図1(A)において、11は素子を形成する基板であり、可視光を透過する基板であれば如何なる材料を用いても良い。なお、本明細書では、素子を形成する基板において、TFTもしくはEL素子が形成される側の基板面を表面（もしくは表面側）と呼び、その裏側の基板面を裏面（もしくは裏面側）と呼ぶ。

【0012】ここで基板11の表面側には半導体素子として薄膜トランジスタ（以下、TFTという）12が設けられる。TFT12の構造に限定はなく、トップゲート型TFT（代表的にはプレーナ型TFT）もしくはボトムゲート型TFT（代表的には逆スタガ型TFT）を用いれば良い。

【0013】TFT12には酸化物導電膜からなる陽極13が画素電極として接続される。ここで用いる酸化物導電膜は可視光に対して透明であり、発光層で生成された発光は陽極13を通過して外部に取り出される。TFT12および陽極13は複数の画素の各々に設けられている。

【0014】また、陽極13と接するようにEL層14が設けられ、その上には陰極15が設けられる。EL層14はEL素子の発光部分にあたる層であり、単層もしくは積層構造で形成される。基本的には、発光層に対して正孔注入層、正孔輸送層、電子注入層もしくは電子輸送層を組み合わせ用いるが、公知の如何なる構造を用いても良い。また、EL層の材料として有機材料を用いても無機材料を用いても良く、有機材料の場合は高分子材料でも低分子材料で良い。

【0015】また、陰極としては仕事関数の小さい材料を用いることが好ましく、周期表の1族もしくは2族に属する元素を含む金属膜を用いると良い。勿論、公知の如何なる陰極材料を用いても構わない。

【0016】なお、本明細書において、EL素子とは陽極、EL層および陰極を含む発光素子を指す。従って、陽極13、EL層14および陰極15はEL素子16を

形成する。

【0017】EL素子16は封止材17によって覆われ、封止材17によりカバー材18が接着されている。封止材17は樹脂であり、代表的には紫外線硬化樹脂もしくはエポキシ樹脂が用いられる。封止材17はEL素子16を水および酸素から保護するための保護層として機能する。

【0018】また、カバー材18はEL素子16を水および酸素から保護すると同時にEL素子16を機械的衝撃から保護するための保護層として機能する。カバー材18としては如何なる材料を用いても良いが、プラスチック基板を用いると発光装置全体の軽量化を図ることができるため好ましい。

【0019】ここまでの構造は全て基板11の上に形成される。カバー材18まで設けた基板11を本明細書ではアクティブマトリクス基板と呼ぶ。

【0020】次に、アクティブマトリクス基板とは別に、カラーフィルタ用の基板19を用意する。基板19としては、基板11と同様に可視光を透過する基板であれば如何なる材料を用いても良い。なお、本明細書では説明の便宜上、基板19をカラーフィルタ基板と呼ぶ。

【0021】カラーフィルタ基板19には0.2~1.5μmの厚さの着色層(R)20a、着色層(G)20bおよび着色層(B)20cが設けられている。着色層とは特定の波長の光を透過する層であり、顔料を分散させた樹脂膜が用いられる。なお、本明細書において、着色層(R)は赤色の光(650nm付近にピーク波長をもつ光)を透過する着色層であり、着色層(G)は緑色の光(550nm付近にピーク波長をもつ光)を透過する着色層であり、着色層(B)は青色の光(450nm付近にピーク波長をもつ光)を透過する着色層を指す。

【0022】また、着色層(R)20a、着色層(G)20bおよび着色層(B)20cとしては、公知のカラーフィルタで用いられている材料を用いれば良い。ここでは赤色光を透過する着色層(R)20a、緑色光を透過する着色層(G)20bおよび青色光を透過する着色層(B)20cが設けられている。

【0023】なお、EL発光装置に用いる着色層は光量が多く確保できるように顔料の含有率が低いものを用いると良い。また、着色層の膜厚を薄くすることにより光量を多くすることも可能である。さらに、液晶表示装置で用いる着色層のように鋭いピーク波長をもつ必要はなく、むしろブロードなピーク波長をもつ着色層が好ましい。また、着色層に黒色顔料を含有させることで、EL発光装置の外部から入ってくる外光を吸収し、観測者が陰極に映り込むような不具合を抑えることが可能である。

【0024】こうしてカラーフィルタ基板19に設けられた着色層(R)20a、着色層(G)20bおよび着色層(B)20cは、オーバーコート層（もしくは平坦化

層)として設けられた樹脂層 21 により基板 11 の裏面側に接着される。樹脂層 21 は $1 \sim 3 \mu\text{m}$ の膜厚 (着色層による段差を平坦化しうる膜厚) で形成することが好ましい。こうして図 1 (A) の状態となる。

【0025】なお、図 1 (A) においては、カラーフィルタ基板 19、着色層 (R) 20a、着色層 (G) 20b、着色層 (B) 20c および樹脂層 21 を含めてカラーフィルタと呼ぶ。

【0026】また、図 1 (B) は図 1 (A) の状態に加え、カラーフィルタに反射防止膜 22 を設けた例である。反射防止膜 22 は屈折率と膜厚を調節することで反射光の発生しにくい条件とした単層膜もしくは積層膜であり、公知の反射防止膜を用いれば良い。また、反射防止膜の代わりに、円偏光版 (円偏光フィルムも含む) を設けても良い。

【0027】本実施の形態に説明した発光装置は、アクティブマトリクス基板とカラーフィルタとを別々の工程により形成し、両者が完成した後に両者を貼り合わせることに特徴がある。このような構成によりアクティブマトリクス基板の歩留まりとカラーフィルタの歩留まりを個別に管理することができ、発光装置全体としての歩留まり低下を抑制することができる。

【0028】また、アクティブマトリクス基板を作製する製造工程とカラーフィルタを作製する製造工程とを同時に流すことが可能となるため、発光装置としての製造期間を短縮することができる。

【0029】

【実施例】〔実施例 1〕本実施例では、本発明をパッシブマトリクス型 (単純マトリクス型) の EL 発光装置に適用した場合について説明する。なお、図 1 で用いられている符号と同一の符号については実施の形態の説明を参照すれば良い。

【0030】図 2 (A) において、25 はガラス基板、26 は酸化物導電膜からなる陽極である。本実施例では酸化物導電膜として酸化インジウムと酸化スズとの化合物膜を用いる。なお、陽極 26 は紙面左手から右手に長手方向を有した長方形の電極が紙面奥手方向に向かって複数設けられている。

【0031】また、陽極 26 の上には絶縁膜からなる第 1 バンク材 27 および第 2 バンク材 28 が設けられている。本実施例では第 1 バンク材 27 として酸化珪素膜を用い、第 2 バンク材 28 として樹脂膜を用いる。第 2 バンク材 28 は下層の方がエッチングレートの早い二層の樹脂膜の積層構造を用いて図 2 (A) に示した構造を実現することができる。

【0032】これら第 1 バンク材 27 および第 2 バンク材 28 は EL 層 29 および陰極 30 を長方形に絶縁分離するための分離壁として用いられる。従って、EL 層 29 および陰極 30 は陽極 26 に直交するように複数設けられた長方形の電極となる。なお、本実施例では EL 層

29 として、陽極 26 の上に正孔注入層を設け、その上に白色光が得られる発光層を設ける。さらに、陰極 30 としては、アルミニウムにリチウムを添加した合金膜を用いる。

【0033】以上のように、基板 25 の表面側には陽極 26、EL 層 29 および陰極 30 からなる EL 素子 31 が設けられている。さらに、EL 素子 31 は紫外線硬化樹脂からなる封止材 32、ガラスからなるカバー材 33 により外部の水および酸素から保護されている。なお、カバー材 33 まで設けた基板 25 を本明細書ではパッシブマトリクス基板と呼ぶ。

【0034】本実施例では、ここまで説明したパッシブマトリクス基板の裏面側に実施の形態 (図 1 (A) 参照) で説明したカラーフィルタを設けることで図 2

(A) に示すパッシブマトリクス型の発光装置が得られる。なお、カラーフィルタに含まれる着色層には黒色顔料を含有させても良い。また、図 2 (B) に示すように、カラーフィルタには反射防止膜 22 もしくは偏光板を設けても良い。

【0035】本実施例の発光装置は、パッシブマトリクス基板とカラーフィルタとを別々の工程により形成し、両者が完成した後に両者を貼り合わせることで発光装置全体としての歩留まり低下を抑制している。また、パッシブマトリクス基板とカラーフィルタとを同時に作製するため発光装置としての製造期間が短い。

【0036】〔実施例 2〕図 1 もしくは図 2 に示した発光装置において、アクティブマトリクス基板が完成した後、素子が形成された基板を公知の CMP (ケミカルメカニカルポリッシング) 技術を用いて研磨し、基板の厚さを薄くすることは有効である。本実施例の発光装置を図 3 (A)、(B) に示す。なお、図 1 もしくは図 2 で用いられている符号と同一の符号については実施の形態の説明を参照すれば良い。

【0037】図 3 (A) において、35 は CMP 技術により研磨された基板であり、その他の構造は図 1 (B) と同様である。本実施例では CMP 技術により基板 35 の厚さを $300 \mu\text{m}$ 以下 (典型的には $100 \sim 300 \mu\text{m}$) とする。この厚さを画素ピッチ (ある画素からその次の画素までの距離) と以下とすることは、光の指向性を高めるという点で有効である。

【0038】また、図 3 (B) は本実施例をパッシブマトリクス型の発光装置に適用した例である。この場合、EL 素子 31 の形成された基板を CMP 技術により研磨して基板 36 とする以外は、図 2 (B) の構造と同じである。

【0039】本実施例を実施した場合、本発明の効果に加えて、素子の形成された基板が薄くなることにより発光装置の薄型化、軽量化が図れる。

【0040】〔実施例 3〕本実施例では、図 1 もしくは図 2 に示した発光装置において、カラーフィルタ基板と

してプラスチックフィルム（高分子材料からなるフィルム）を用いる例を示す。本実施例の発光装置を図 4

(A)、(B) に示す。なお、図 1 もしくは図 2 で用いられている符号と同一の符号については実施の形態の説明を参照すれば良い。

【0041】図 4 (A) において、カラーフィルタフィルム 40 は高分子材料からなるフィルム（プラスチックフィルム）であり、その両面（表面および裏面）には保護膜 41a、41b が設けられている。なお、本実施例ではプラスチックフィルムを例に挙げているが、硬質のプ

ラスチック基板を用いても良い。

【0042】また、保護膜 41a、41b としては、水や酸素を透過しないもしくは透過しにくい絶縁膜を設けることが好ましい。典型的には炭素膜、好ましくはダイヤモンドライクカーボン（DLC）膜を用いると良い。DLC 膜は室温から 100℃ 以下の温度範囲で成膜可能であるため、耐熱性の低いプラスチックフィルムにも容易に成膜することができる。また、可撓性のプラスチックフィルムに成膜する場合にはロールトゥロール方式により成膜すれば良い。

【0043】また、図 4 (B) は本実施例をパッシブマトリクス型の発光装置に適用した例である。この場合、EL 素子 31 の形成された基板に保護膜 41a、41b を設けたカラーフィルタフィルム 40 を用いたカラーフィルタを貼り合わせる以外は、図 2 (B) の構造と同じである。

【0044】本実施例を実施した場合、本発明の効果に加えて、カラーフィルタの軽量化が図れるため発光装置全体の軽量化が図れる。また、さらにカバー材 18 として保護膜を両面に設けたプラスチックフィルムを用いることで可撓性の発光装置を作製することも可能となる。

【0045】〔実施例 4〕本実施例では、発光装置の具体的な作製方法について図 5～図 8 を用いて説明する。ここでは、画素部とその周辺に設けられる駆動回路の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である CMOS 回路を図示することとする。

【0046】まず、図 5 (A) に示すように、ガラス基板 301 上に下地膜 302 を 300 nm の厚さに形成する。本実施例では下地膜 302 として窒化酸化珪素膜を積層して用いる。この時、ガラス基板 301 に接する方の窒素濃度を 10～25 wt % としておくとし、

【0047】また、下地膜 302 に放熱効果を持たせることは有効であり、基板 301 の両面もしくは片面に炭素膜、特に DLC（ダイヤモンドライクカーボン）膜を設けておくことは有効である。DLC 膜は CVD 法もしくはスパッタ法にて成膜可能であり、室温から 100℃ 以下の温度範囲で成膜できるという利点がある。

【0048】次に下地膜 302 の上に 50 nm の厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成す

る。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 20～100 nm の厚さであれば良い。

【0049】そして、特開平 7-130652 号公報に記載の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）303 を形成する。本実施例では、結晶化を促進する元素としてニッケルを用いている。勿論、他の結晶化方法としてレーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法を用いても良い。

【0050】次に、図 5 (B) に示すように、結晶質珪素膜 303 を 1 回目のフォトリソグラフィ工程によりエッチングして島状の半導体膜 304～307 を形成する。これらは後に TFT の活性層となる半導体膜である。

【0051】ここで本実施例では、半導体膜 304～307 上に酸化珪素膜からなる保護膜（図示せず）を 130 nm の厚さに形成し、半導体を p 型半導体とする不純物元素（以下、p 型不純物元素という）を半導体膜 304～307 に添加する。p 型不純物元素としては周期表の 13 族に属する元素（典型的にはボロンもしくはガリウム）を用いることができる。なお、この保護膜は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0052】また、このとき添加される p 型不純物元素の濃度は、 $1 \times 10^{15} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ （代表的には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ ）とすれば良い。この濃度で添加された p 型不純物元素は n チャネル型 TFT のしきい値電圧の調節に用いられる。

【0053】次に、半導体膜 304～307 を覆ってゲート絶縁膜 308 を形成する。ゲート絶縁膜 308 としては、10～200 nm、好ましくは 50～150 nm の厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では 115 nm 厚の窒化酸化珪素膜を用いる。

【0054】次に、第 1 の導電膜 309 として 30 nm 厚の窒化タンタル膜を形成し、さらに第 2 の導電膜 310 として 370 nm のタングステン膜を形成する。これらの金属膜はスパッタ法で形成すれば良い。また、スパッタガスとして Xe、Ne 等の不活性ガスを添加すると応力による膜はがれを防止することができる。また、タングステンターゲットの純度を 99.9999% とすることで、抵抗率が $20 \text{ m}\Omega \cdot \text{cm}$ 以下の低抵抗なタングステン膜を形成することができる。

【0055】次に、レジストマスク 311a～311g を形成し、第 1 の導電膜 309 及び第 2 の導電膜 310 を

エッチングする。なお、本明細書中ではここでいうエッチング処理を第1のエッチング処理と呼ぶ。

【0056】本実施例では、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) を用いたエッチング方法を採用する。エッチングガスとしては四フッ化炭素 (CF_4) ガスと塩素 (Cl_2) ガス混合ガスを用い、1 Pa の成膜圧力とする。この状態でコイル型の電極に500WのRF電力 (13.56MHz) を印加してプラズマを生成する。また、基板を乗せたステージには自己バイアス電圧として150WのRF電力 (13.56MHz) を印加して、負の自己バイアスが基板に加わるようにする。

【0057】このような条件によりエッチング処理を行うと、窒化タンタル膜とタングステン膜の選択比が1:1に近くなり、一括でエッチングすることが可能となる。また、レジストマスク311a~311eの後退を利用して15~45°のテーパ角を有するテーパ形状とすることができる。本実施例のエッチング条件では約25°のテーパ角を得ることができる。

【0058】こうして、第1の導電膜と第2の導電膜との積層膜からなるゲート電極312~316並びにスイッチングTFTのソース配線317およびドレイン配線318が形成される。なお、ドレイン配線318は電流制御TFTのゲート電極を兼ねている。

【0059】次に、ゲート電極312~316、ソース配線317およびドレイン配線318をマスクとして自己整合的にn型不純物元素 (本実施例ではリン) を添加する。こうして形成される不純物領域319~327にはn型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{atoms/cm}^3$) の濃度で含まれる。これらの不純物領域319~327はnチャネル型TFTのソース領域およびドレイン領域を形成する。(図5(C))

【0060】次に、レジストマスク311a~311gをそのまま用いてゲート電極のエッチングを行う。このときのエッチング条件は第1のエッチング処理と同一の条件で良い。ここではゲート電極のテーパ部分を後退させ、図5(C)よりも線幅の細いゲート電極328~332、ソース配線333およびドレイン配線334を形成する。(図5(D))

【0061】さらに、図5(E)に示すように、レジストマスク311a~311gをそのまま用いて第2の導電膜 (タングステン膜) を選択的にエッチングする。このエッチング条件は第1のエッチング処理に対してエッチングガスとして酸素ガスを混合すれば良く、本明細書ではここでいうエッチング処理を第2のエッチング処理と呼ぶ。これはエッチングガスに酸素が加わることで第1の導電膜 (窒化タンタル膜) のエッチングの進行が極端に遅くなるためである。

【0062】このとき、第1のゲート電極335a~3

39aと第2のゲート電極335b~339bとの積層構造からなるゲート電極335~339が形成され、さらに第1のソース配線340aと第2のソース配線340bとの積層構造からなるソース配線340および第1のドレイン配線341aと第2のドレイン配線341bとの積層構造からなるドレイン配線341が形成される。

【0063】次に、レジストマスク311a~311gを除去し、図6(A)に示すように、n型不純物元素 (本実施例ではリン) を添加する。この工程ではn型不純物領域342~351にn型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{atoms/cm}^3$ (代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$) の濃度で含まれるように調節する。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域(b)と呼ぶことにする。

【0064】また、このとき同時にn型不純物領域352~361も形成される。これらの不純物領域は、第1のゲート電極335a~339aを貫通したn型不純物元素によって形成されるため、n型不純物領域342~351の $1/2 \sim 1/10$ (代表的には $1/3 \sim 1/4$) の濃度でリンが添加される。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{atoms/cm}^3$) の濃度でn型不純物元素を含む。なお、本明細書ではこの濃度でn型不純物元素が添加された不純物領域をn型不純物領域(c)と呼ぶことにする。

【0065】また、n型不純物元素は第1のゲート電極335a~339aおよびゲート絶縁膜308を貫通させて添加する必要があるため、加速電圧を70~120kV (本実施例では90kV) と高めに設定する。

【0066】次に、図6(B)に示すように、レジストマスク362を形成する。そして、p型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域363~366を形成する。ここではジボラン (B_2H_6) を用いたイオンドープ法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$) の濃度となるようにボロンを添加する。加速電圧は20~30kVで良い。なお、本明細書ではこの濃度でp型不純物元素が添加された不純物領域をp型不純物領域(a)と呼ぶことにする。

【0067】なお、p型不純物領域(a)363~366は既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度でリンが添加された領域を含むが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0068】次に、レジストマスク362を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法を用い、本実施例では電熱炉において窒素雰囲気

気中、550℃、4時間の熱処理を行う。なお、このとき窒素雰囲気中の酸素濃度を極力低くしておくことが望ましい。これはゲート電極の酸化を防ぐためであり、望ましくは酸素濃度を1ppm以下とする。

【0069】このとき、n型不純物元素が添加された領域、即ちn型不純物領域もしくはp型不純物領域でn型不純物元素を含む領域に、非晶質珪素膜の結晶化に用いたニッケルが矢印の方向に移動し、ゲッタリングされる。即ち、TFTのチャネル形成領域367~371のニッケル濃度が大幅に低減され、少なくとも 1×10^{16} atoms/cm³以下（但し、この値は質量二次イオン分析の測定下限）となる。

【0070】さらに、図6(D)に示すように、窒化珪素膜もしくは窒化酸化珪素膜からなる保護膜372を形成する。その後、窒素雰囲気中で300~450℃の温度範囲の熱処理を行い、水素化処理を行う。この工程は熱的に励起された水素により半導体の不対結合手を水素終端する工程である。この処理では保護膜372中に含まれる水素が拡散して水素化処理が行われる。他の方法として公知のプラズマ水素化処理を行っても良い。

【0071】また、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、水素化処理を行うことも可能である。

【0072】水素化処理が終了したら、層間絶縁膜373として樹脂膜を1~2μmの厚さに形成する。樹脂材料としては、ポリイミド、ポリアミド、アクリル樹脂もしくはBCB（ベンゾシクロブテン）を用いれば良い。また、感光性樹脂を用いることも可能である。

【0073】なお、層間絶縁膜373の表面に対してCF₄ガスを用いたプラズマ処理を施しておくことは有効である。この処理により次に形成する配線の密着性を高めることができる。

【0074】次に、図7(A)に示すように、層間絶縁膜373に対してコンタクトホールを形成し、配線374~380を形成する。なお、本実施例ではこの配線を、50nmのチタン膜、400nmのチタンを含むアルミニウム膜、100nmのチタン膜をスパッタ法で連続形成した三層構造の積層膜とする。勿論、他の導電膜でも良い。

【0075】このとき、配線374、376はCMOS回路のソース配線、375はドレイン配線として機能する。また、配線377はソース配線340とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線378はドレイン配線341とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0076】次に、可視光に対して透明な酸化物導電膜からなる画素電極381を形成する。本実施例では画素電極381として酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を用い、膜厚は120nmとする。他にも、

酸化インジウム、酸化亜鉛、酸化スズ、もしくはそれらを組み合わせた化合物からなる酸化物導電膜を用いることも可能である。

【0077】次に、図7(B)に示すようにバンク382を形成する。バンク382は100~400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。このバンク382は画素と画素との間（画素電極と画素電極との間）を埋めるように形成される。また、次に形成する発光層等の有機EL材料が画素電極381の端部に直接触れないようにする目的もある。換言すれば、画素電極383の平坦面上に開口部を有した絶縁膜とも言える。

【0078】なお、バンク382は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク382の材料となる絶縁膜中にカーボン粒子や顔料を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12}$ Ωm（好ましくは $1 \times 10^8 \sim 1 \times 10^{10}$ Ωm）となるようにカーボン粒子や顔料の添加量を調節すれば良い。

【0079】ここで画素電極381の表面に対して前処理を行う。本実施例では基板全体を100~120℃に加熱し、酸素プラズマを形成しつつ紫外光照射を行う。これにより陽極表面に対してオゾンプラズマ処理を行うことができる。この前処理により、陽極381の表面において吸着酸素および吸着水が除去され、表面の仕事関数が高められる。さらに、陽極表面の平坦度が向上する。陽極表面の平坦度は表面の平均自乗粗さ(Rms)が5nm以下（好ましくは3nm以下）となるようにすると良い。

【0080】なお、オゾンプラズマ処理の代わりにアルゴン、ネオンもしくはヘリウムなどの希ガスをを用いたプラズマ処理でも良い。

【0081】次に、EL層383をスピンコート法により形成する。なお、本実施例では、正孔注入層および発光層の積層体をEL層と呼んでいる。即ち、発光層に対して正孔注入層、正孔輸送層、正孔阻止層、電子輸送層、電子注入層もしくは電子阻止層を組み合わせた積層体をEL層と定義する。なお、これらは有機材料であっても無機材料であっても良いし、高分子であっても低分子であっても良い。

【0082】本実施例では、まず正孔注入層としてポリチオフェン(PEDOT)を20nmの厚さに成膜し、さらに白色に発光する発光層としてポリビニルカルbazol(PVK)を80nmの厚さに形成する。ポリチオフェンは水に溶かして塗布し、ポリビニルカルbazolは1, 2-ジクロロメタンに溶かして塗布すれば良い。また、正孔注入層および発光層は塗布した後にEL層を壊さない温度範囲（典型的には80~120℃）で熱処理を行い、溶媒を揮発させて薄膜を得る。

【0083】例えば、1, 2-ジクロロメタンに、PV

K、Bu-PBD (2-(4'-tert-ブチルフェニル)-5-(4''-ピフェニル)-1, 3, 4-オキサジアゾール)、クマリン6、DCM1 (4-ジシアノメチレン-2-メチル-6-p-ジメチルアミノスチリル-4H-ピラン)、TPB (テトラフェニルブタジエン) およびナイルレッドを溶かしたものを用いれば良い。

【0084】また、白色に発光する発光層として用いることのできる高分子材料として、他にも特開平8-96959号公報または特開平9-63770号公報に記載された材料を用いることができる。

【0085】次に、EL層383を形成したら、仕事関数の小さい導電膜からなる陰極384を400nmの厚さに形成する。本実施例では、アルミニウムとリチウムとを共蒸着により合金化して形成する。こうして画素電極(陽極)381、EL層383および陰極384を含むEL素子385が形成される。

【0086】なお、陰極384を形成した後、EL素子385を完全に覆うようにしてパッシベーション膜386を設けることは有効である。この際、カバレッジの良い膜をパッシベーション膜386として用いることが好ましく、炭素膜、特にDLC膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層383の上方にも容易に成膜することができる。また、酸素に対するブロッキング効果が高く、EL層383や陰極384の酸化を抑制することが可能である。

【0087】さらに、パッシベーション膜386上に封止材387を設けカバー材388を貼り合わせる。封止材387としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、紫外線硬化樹脂は接着剤としても活用できる。

【0088】また、カバー材388としては、ガラス基板、金属基板、セラミックス基板もしくはプラスチック基板(プラスチックフィルムも含む)を用いることができる。このカバー材388の両面もしくは片面に炭素膜、特にDLC膜を設けておくことは有効である。なお、プラスチックフィルムをカバー材として用いる場合にはロールトゥロール方式にて両面にDLC膜を成膜すれば良い。

【0089】こうして図7(B)の状態を得る。なお、バンク382を形成した後、パッシベーション膜386を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。但し、スピコート法によりEL層を形成する際には、脱酸素処理をした窒素雰囲気もしくは希ガス雰囲気で行えば良い。

【0090】次に、カラーフィルタ用にガラス基板390を用意し、その上に着色層(R)391a、着色層

(B)391bおよび着色層(G)(図示せず)を形成する。このとき、着色層(R)391aおよび着色層

(B)391bを392で示される部分で重ねる。この重なり部分392は遮光部として機能し、画素間の輪郭をはっきりさせる上で有効である。

【0091】そして、着色層(R)391a、着色層

(B)391bおよび着色層(G)(図示せず)による段差を平坦化する樹脂層393を設け、カラーフィルタを完成させる。さらに、この樹脂層393を用いてカラーフィルタを基板301の裏面側に貼り合わせる。これにより図8に示すEL発光装置が完成する。

【0092】ここで各TFTについて説明する。駆動回路はpチャネル型TFT401とnチャネル型TFT402とを相補的に組み合わせたCMOS回路を基本単位として形成されている。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、ラッチ、サンプリング回路(トランスファゲートを含む)もしくはD/Aコンバータなどが含まれる。

【0093】pチャネル型TFT401の活性層は、ソース領域411、ドレイン領域412及びチャネル形成領域413を含む。このとき、ソース領域411およびドレイン領域412はゲート絶縁膜308を挟んで第1のゲート電極335aに重なっている。

【0094】また、nチャネル型TFT402の活性層はソース領域414、ドレイン領域415、n型不純物領域(b)416、417、n型不純物領域(c)418、419およびチャネル形成領域420を含む。このとき、n型不純物領域(b)416、417は、ゲート絶縁膜308を挟んで第1のゲート電極336aには重ならないように設けられており、n型不純物領域(c)418、419は、ゲート絶縁膜308を挟んで第1のゲート電極336aに重なるように設けられている。なお、第1のゲート電極336aに重なるように設けられたn型不純物領域(c)418、419はホットキャリア注入を抑制する効果を有し、ホットキャリア注入に起因する劣化現象を効果的に抑制することができる。

【0095】また、画素部にはスイッチングTFT403と電流制御TFT404が形成されている。なお、スイッチングTFT403のドレインは電流制御TFT404のゲートに電気的に接続されており、スイッチングTFT403を介して電流制御TFT404のスイッチ動作が制御される。そして、電流制御TFT404によりEL素子に流れる電流量が制御される。

【0096】スイッチングTFT403の活性層は、ソース領域421、ドレイン領域422、n型不純物領域(b)423~426、n型不純物領域(c)427~430、分離領域431、チャネル形成領域432、433を含む。また、ソース領域421は配線379を介してソース配線340に接続される。さらにドレイン領域422は配線380を介してドレイン配線341に接

10

20

30

40

50

続される。このドレイン配線 341 は電流制御 TFT 404 のゲート電極 339 に接続される。

【0097】スイッチング TFT 403 の構造は基本的には n チャネル型 TFT 402 と同様であり、n 型不純物領域 (b) 423 ~ 426 はゲート絶縁膜 308 を挟んで第 1 のゲート電極 337a、338a に重ならないように設けられており、n 型不純物領域 (c) 427 ~ 430 はゲート絶縁膜 308 を挟んで第 1 のゲート電極 337a、338a に重なるように設けられている。即ち、ホットキャリア劣化に強い構造となっている。

【0098】なお、本実施例ではスイッチング TFT 403 として n チャネル型 TFT を用いた例を示したが、p チャネル型 TFT としても良い。

【0099】また、電流制御 TFT 404 の活性層は、ソース領域 434、ドレイン領域 435 およびチャネル形成領域 436 を含む。電流制御 TFT 404 の構造は基本的には p チャネル型 TFT 401 と同様であり、ソース領域 434 およびドレイン領域 435 はゲート絶縁膜 308 を挟んで第 1 のゲート電極 339a に重なっている。なお、本実施例では電流制御 TFT 404 として p チャネル型 TFT を用いた例を示したが、n チャネル型 TFT としても良い。

【0100】ここで画素部を上面から見た図を図 9 に示す。また、図 9 において、A-A' で切断した断面図を図 10 (A) に、B-B' で切断した断面図を図 10 (B) に、C-C' で切断した断面図を図 10 (C) に示す。なお、図 10 (A) はスイッチング TFT 403 の断面構造を示し、図 10 (B) は電流制御 TFT 404 の断面構造を示し、図 10 (C) は保持容量の断面構造を示している。ここに示す画素部は図 5 ~ 図 8 に示した作製工程により形成可能であり、必要に応じて図 5 ~ 図 8 で用いた符号を参照する。

【0101】まず、スイッチング TFT 403 について図 9 および図 10 (A) を用いて説明する。図 9、図 10 (A) において、601 は活性層である。活性層 601 の詳細は図 7 (B) で説明した通りであるからここでの説明は省略する。そして、ソース配線 340 は配線 377 を介して活性層 601 と電気的に接続され、さらに配線 378 を介してドレイン配線 341 と電気的に接続される。

【0102】また、活性層 601 上にはゲート電極 602 が設けられている。なお、ゲート電極 602 のうち、活性層 601 と重なる部分が図 5 (E) のゲート電極 337、338 に相当する。また、ゲート電極 602 はコンタクト部 603 にてゲート配線 604 と電気的に接続される。

【0103】次に、電流制御 TFT 404 について図 9 および図 10 (B) を用いて説明する。図 9、図 10 (B) において、605 は活性層である。活性層 605 の詳細は図 7 (B) で説明した通りであるからここでの

説明は省略する。活性層 605 のソース領域は配線 (電流供給線) 379 と電気的に接続され、ドレイン領域は配線 380 および画素電極 (EL 素子の陽極) 381 と電気的に接続される。

【0104】また、活性層 605 上にはゲート電極 339 が設けられている。ゲート電極 339 はドレイン配線 341 が活性層 605 と重なる部分に相当する。また、ドレイン配線 341 はそのまま延長されて図 10 (C) に示す保持容量の上部電極 606 を兼ねる。配線 (電流供給線) 379 はコンタクト部 607 にて半導体膜 608 と電気的に接続され、この半導体膜 608 が保持容量の下部電極として機能する。

【0105】また、本実施例の EL 発光装置の回路構成例を図 11 に示す。なお、本実施例ではデジタル駆動を行うための回路構成を示す。本実施例では、ソース側駆動回路 801、画素部 808 及びゲート側駆動回路 809 を有している。なお、本明細書中において、駆動回路部とはソース側駆動回路およびゲート側駆動回路を含めた総称である。

【0106】本実施例では画素部 808 にスイッチング TFT として図 7 (B) に示した構造の n チャネル型 TFT が設けられ、このスイッチング TFT はゲート側駆動回路 809 に接続されたゲート配線とソース側駆動回路 801 に接続されたソース配線との交点に配置されている。また、スイッチング TFT のドレインは p チャネル型の電流制御 TFT のゲートに電気的に接続されている。

【0107】ソース側駆動回路 801 は、シフトレジスタ 802、バッファ 803、ラッチ (A) 804、バッファ 805、ラッチ (B) 806、バッファ 807 を設けている。なお、アナログ駆動の場合はラッチ (A)、(B) の代わりにサンプリング回路 (トランスファゲート) を設ければ良い。また、ゲート側駆動回路 809 は、シフトレジスタ 810、バッファ 811 を設けている。

【0108】なお、図示していないが、画素部 808 を挟んでゲート側駆動回路 809 の反対側にさらにゲート側駆動回路を設けても良い。この場合、双方は同じ構造でゲート配線を共有しており、片方が壊れても残った方からゲート信号を送って画素部を正常に動作させるような構成とする。

【0109】なお、上記構成は、図 5 ~ 図 7 に示した作製工程に従って TFT を作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/A コンバータ、オペアンプ、γ 補正回路などの論理回路を同一基板上に形成することが可能であり、さらにはメモリやマイクロプロセッサ等を形成しうると考えている。

【0110】さらに、EL 素子を保護するための封止

10

20

30

40

50

(または封入) 工程まで行った後の本実施例の E L 発光装置について 12 (A)、(B) を用いて説明する。なお、必要に応じて図 11 で用いた符号を引用する。

【0111】図 12 (A) は、E L 素子の封止までを行った状態を示す上面図である。点線で示された 801 はソース側駆動回路、808 は画素部、809 はゲート側駆動回路である。また、901 はカバー材、902 は第 1 シール材、903 は第 2 シール材であり、第 1 シール材 902 で囲まれた内側のカバー材 901 と E L 素子が形成された基板との間には封止材 (図示せず) が設けられる。

【0112】なお、904 はソース側駆動回路 801 及びゲート側駆動回路 809 に入力される信号を伝達するための接続配線であり、外部入力端子となる F P C 905 からビデオ信号やクロック信号を受け取る。

【0113】ここで、図 12 (A) を A-A' で切断した断面に相当する断面図を図 12 (B) に示す。なお、図 12 (A)、(B) では同一の部位に同一の符号を用いている。

【0114】図 12 (B) に示すように、ガラス基板 906 上には画素部 808、ゲート側駆動回路 809 が形成されており、画素部 808 は電流制御 T F T 404 とそのドレインに電気的に接続された画素電極 381 を含む複数の画素により形成される。また、ゲート側駆動回路 809 は p チャネル型 T F T 401 と n チャネル型 T F T 402 とを相補的に組み合わせた C M O S 回路を用いて形成される。

【0115】画素電極 381 は E L 素子の陽極として機能する。また、画素電極 381 の両端にはバンク 382 が形成され、画素電極 381 上には E L 層 383 および E L 素子の陰極 384 が形成される。陰極 384 は全画素に共通の配線としても機能し、接続配線 904 を経由して F P C 905 に電気的に接続されている。さらに、画素部 808 及びゲート側駆動回路 809 に含まれる素子は全て陰極 384 で覆われている。

【0116】また、第 1 シール材 902 によりカバー材 901 が貼り合わされている。このとき、カバー材 901 と E L 素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第 1 シール材 902 の内側には封止材 907 が充填されている。なお、第 1 シール材 902、封止材 907 としては光硬化性樹脂を用いるのが好ましい。また、第 1 シール材 902 はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材 907 の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0117】E L 素子を覆うようにして設けられた封止材 907 はカバー材 901 を接着するための接着剤としても機能する。封止材 907 としては、ポリイミド、アクリル、P V C (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、P V B (ポリビニルブチラル) ま

たは E V A (エチレンビニルアセテート) を用いることができる。

【0118】また、本実施例ではカバー材 901 としては、ガラス板、石英板、プラスチック板、セラミックス板、F R P (Fiberglass-Reinforced Plastics) 板、P V F (ポリビニルフロライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。

【0119】さらに本実施例ではカバー材 901 の両面に炭素膜 (具体的には D L C 膜) 908a、908b を 2 ~ 30 nm の厚さに設けている。このような炭素膜は、酸素および水の侵入を防ぐとともにカバー材 901 の表面を機械的に保護する役割をもつ。勿論、外側の炭素膜 908a に偏光板 (代表的には円偏光板) を貼り付けることも可能である。

【0120】また、封止材 907 を用いてカバー材 901 を接着した後、封止材 907 の側面 (露出面) を覆うように第 2 シール材 903 を設ける。第 2 シール材 903 は第 1 シール材 902 と同じ材料を用いることができる。

【0121】以上のような構造で E L 素子を封止材 907 に封入することにより、E L 素子を外部から完全に遮断することができ、外部から水分や酸素等の E L 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い E L 発光装置を作製することができる。

【0122】〔実施例 5〕本実施例では、着色層の配置の例について図 14 を用いて説明する。図 14 に示すのは、画素部を上面から見た図であり、各画素の構造は図 9、図 10 (A) ~ 図 10 (C) を用いて説明したものと同様である。

【0123】図 14 において、1101 は着色層 (R)、1102 は着色層 (G)、1103 は着色層 (B) である。また、1104 は赤色に発色させる画素、1105 は緑色に発色させる画素、1106 は青色に発色させる画素である。本実施例では、赤色に発色させる画素 1104 には着色層 (R) 1101 を設け、緑色に発色させる画素 1105 には着色層 (G) 1102 を設け、青色に発色させる画素 1106 には着色層 (B) 1103 を設ける。

【0124】また、着色層 (R) 1101、着色層 (G) 1102 および着色層 (B) 1103 は各々ソース配線 1107 および電流供給線 1108 の上方で重なり合い、遮光部 1109a ~ 1109d および 1110 を形成している。このように各画素は遮光部 1109a ~ 1109d および 1110 によって囲まれた構造となり、各画素で生成された発光のうち遮光部 1109a ~ 1109d および 1110 に到達した光は吸収される。即ち、隣接する画素間において色混合を効果的に抑制することが可能である。

【0125】なお、各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。これにより外部からの光が吸収されるため、画像を観測する人が金属膜からなる陰極に映り込む不具合を低減することができる。但し、含有量が多すぎると発光量自体も低下してしまうので、1～10%の添加量とすることが望ましい。

【0126】なお、本実施例は発明の実施の形態で説明したEL発光装置と組み合わせても良いし、実施例1～実施例4のいずれの構成とも自由に組み合わせる実施することが可能である。

【0127】〔実施例6〕発明の実施の形態および実施例4ではEL層に含まれた発光層として白色発光が得られるEL材料を用い、そこから放射された白色光を、着色層(R)、着色層(G)もしくは着色層(B)に通すことにより赤色光、緑色光もしくは青色光を得る例を示した。

【0128】本実施例では、赤色に発色させる画素には赤色発光が得られる発光層を形成し、緑色に発色させる画素には緑色発光が得られる発光層を形成し、青色に発色させる画素には青色発光が得られる発光層を形成する。そして、各発光層から放射された赤色光、緑色光もしくは青色光を、それぞれ着色層(R)、着色層(G)もしくは着色層(B)に通すことで色純度を向上させる。

【0129】本実施例の場合、赤色、緑色もしくは青色の発光が得られる三種類のEL材料を成膜する必要があるが、公知の材料を用いることができる。また、画素ごとに分けて成膜する必要があるため、シャドーマスクを用いた蒸着法により低分子系EL材料を成膜するか、インクジェット法や印刷法により高分子系EL材料を成膜すれば良い。

【0130】なお、本実施例の構成は発明の実施の形態、実施例1～実施例5のいずれの構成とも自由に組み合わせる実施することが可能である。また、実施例5に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

【0131】〔実施例7〕本実施例では、発光層として青色もしくは青緑色の発光が得られるEL材料を用い、その発光を色変換層に通すことにより赤色光、緑色光もしくは青色光を得る例を示す。

【0132】本実施例の場合、赤色に発色させる画素には青色光を赤色光に変換する色変換層を形成し、緑色に発色させる画素には青色光を緑色光に変換する色変換層を形成する。この色変換層は公知のものを利用すれば良い。発光層から放射された青色光は色変換層を励起して赤色光もしくは緑色光を生成する。

【0133】そして、各色変換層から放射された赤色光、緑色光および発光層から放射された青色光を、それぞれ着色層(R)、着色層(G)もしくは着色層(B)に通すことで色純度を向上させる。

【0134】本実施例では、発光層として青色もしくは青緑色の発光が得られる発光層だけを成膜すれば良いため、スピンコート法や印刷法のように簡便な技術で成膜することが好ましい。勿論、蒸着法で成膜することも可能である。

【0135】なお、本実施例の構成は発明の実施の形態、実施例1～実施例5のいずれの構成とも自由に組み合わせる実施することが可能である。また、実施例5に示したように各着色層に黒色顔料やカーボン粒子を含有させておくことは有効である。

【0136】〔実施例8〕本実施例では実施例4と異なる構造の画素部を有したEL発光装置を示す。なお、各種配線(ゲート配線、ソース配線、ドレイン配線もしくは電流供給線等)の形成される層が異なる以外、TFT構造およびEL素子構造は実施例4とほぼ同様である。従って、実施例4と同じ部分に関しては、図9、図10(A)～図10(C)で用いた符号を引用することにする。

【0137】ここで画素部を上面から見た図を図15に示す。また、図15において、A-A'で切断した断面図を図16(A)に、B-B'で切断した断面図を図16(B)に、C-C'で切断した断面図を図16(C)に示す。なお、図16(A)はスイッチングTFTの断面構造を示し、図16(B)は電流制御TFTの断面構造を示し、図16(C)は保持容量の断面構造を示している。また、ここに示す画素部は図5～図7に示した作製工程を参照すれば形成できる。

【0138】まず、スイッチングTFTについて図15および図16(A)を用いて説明する。図15、図16(A)において、1201は活性層である。活性層1201の詳細は図7(B)で説明したスイッチングTFTと同様であるからここでの説明は省略する。活性層1201の上にはゲート配線1202が重なりゲート電極として機能している。そして、活性層1201にはソース配線1203およびドレイン配線1204が接続され、ドレイン配線1203は電流制御TFTのゲート配線1205に接続される。

【0139】次に、電流制御TFTについて図15および図16(B)を用いて説明する。なお、電流制御TFTは二つのTFTが並列に接続された構造となっているが、ここではその片方についての説明を行う。図15、図16(B)において、1206は活性層である。活性層1206の詳細は図7(B)で説明した電流制御TFTと同様であるからここでの説明は省略する。活性層1206のソース領域は電流供給線1207に接続され、ドレイン領域はドレイン配線1208を介して画素電極(EL素子の陽極)1209と電気的に接続される。

【0140】また、電流制御TFTのゲート配線1205は電流供給線1207の直下において図16(C)に示す保持容量1210の上部電極1211を兼ねる。こ

のとき、電流供給線 1207 は半導体膜 1212 と電気的に接続され、この半導体膜 1212 が保持容量 1210 の下部電極として機能する。本実施例の構造にすると保持容量 1210 が完全に電流供給線 1207 の下に隠れるため、画素の有効発光面積を狭くすることがない。

【0141】次に、消去 TFT について説明する。本実施例の画素にはスイッチング TFT と同じ構造の消去 TFT 1213 が設けられている。消去 TFT 1213 の活性層 1214 は、ソース領域が電流供給線 1207 に接続され、ドレイン領域がドレイン配線 1215 を介して電流制御 TFT のゲート配線 1205 と電気的に接続される。なお、活性層 1214 の構造はスイッチング TFT と同様であるからここでの説明は省略する。

【0142】また、消去 TFT のゲート配線（以下、消去ゲート配線という）1216 はスイッチング TFT のゲート配線 1202 と平行に設けられている。

【0143】消去ゲート配線 1216 に消去 TFT 1213 をオン状態にする信号が入ると電流制御 TFT のゲート配線 1205 は強制的に電流供給線 1207 と同電位になる。即ち、電流制御 TFT がオフ状態になるため EL 素子 385 への電流の供給がなくなり、発光が止まって画素は消灯する。

【0144】このように、消去 TFT 1213 を設けることで画素を強制的に消灯することができ、画素の点灯時間の制御性が高まる。即ち、時間階調方式の画像表示において、階調数を容易に上げることが可能となる。なお、このような消去 TFT を用いた EL 発光装置に関して特願平 11-338786 号を引用すれば良い。

【0145】また、本実施例の構成は発明の実施の形態、実施例 2、実施例 3 もしくは実施例 5～実施例 7 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0146】〔実施例 9〕本実施例では実施例 4 と異なる作製工程で EL 発光装置を作製する例について図 17 を用いて説明する。なお、実施例 4 と途中の工程が異なるだけであるので必要に応じて実施例 4 で用いた符号を参照する。

【0147】まず、実施例 4 の作製工程に従って、図 5 (E) の工程まで行う。但し、本実施例では図 5 (C) に示した n 型不純物元素の添加工程を省略する。こうして図 17 (A) の状態が得られる。

【0148】次に、図 17 (B) に示すように、レジストマスク 311a～311e を除去した後、半導体膜に n 型不純物元素（本実施例ではリン）を添加する。なお、ここで行う n 型不純物元素の添加工程は、実施例 1 の図 6 (A) に示した添加工程と同様の条件で行えば良い。

【0149】こうして、n 型不純物領域 (b) 501～509 および n 型不純物領域 (c) 510～519 が形成される。なお、n 型不純物領域 (b) 501～509

および n 型不純物領域 (c) 510～519 に含まれる n 型不純物元素の濃度は実施例 4 を参照すれば良い。

【0150】次に、レジストマスク 520a～520e を形成し、実施例 1 の図 5 (C) に示した添加工程と同様に n 型不純物元素（本実施例ではリン）を添加する。こうして n 型不純物領域 (a) 521～529 が形成される。なお、n 型不純物領域 (a) 521～529 に含まれる n 型不純物元素の濃度は実施例 4 を参照すれば良い。（図 17 (C)）

【0151】このとき、n 型不純物領域 (b) 501～509 のうちレジストマスク 520a～520e で隠された部分は、後に LDD（ライトドープドレイン）領域として機能する。本実施例は後に LDD 領域として機能する n 型不純物領域 (b) の長さ（LDD 長さ）をレジストマスク 520a～520e で自由に調節できるため LDD 長さの制御性に優れる点に特徴がある。

【0152】次に、レジストマスク 520a～520e を除去し、レジストマスク 530 を形成する。そして、実施例 4 の図 6 (B) に示した添加工程と同様に p 型不純物元素（本実施例ではボロン）を添加する。こうして p 型不純物領域 (a) 531～534 が形成される。なお、p 型不純物領域 (a) 531～534 に含まれる p 型不純物元素の濃度は実施例 4 を参照すれば良い。（図 17 (D)）

【0153】このあとは、実施例 4 の図 6 (C) に示した活性化工程以降の工程に従って EL 発光装置を作製すれば良い。また、完成した TFT 構造は実施例 4 とほぼ同様であるため、実施例 4 の説明を参照すれば良い。なお、本実施例は発明の実施の形態、実施例 2～実施例 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0154】〔実施例 10〕本実施例では実施例 4 と異なる作製工程で EL 発光装置を作製する例について図 18 を用いて説明する。なお、実施例 4 と途中の工程が異なるだけであるので必要に応じて実施例 4 で用いた符号を参照する。

【0155】まず、実施例 4 の作製工程に従って、図 5 (E) の工程まで行う。但し、本実施例では図 5 (C) に示した n 型不純物元素の添加工程を省略する。こうして図 18 (A) の状態が得られる。

【0156】次に、図 18 (B) に示すように、レジストマスク 311a～311e を除去した後、n 型不純物元素（本実施例ではリン）を添加する。なお、ここで行う n 型不純物元素の添加工程は、実施例 4 の図 6 (A) に示した添加工程と同様の条件で行えば良い。

【0157】こうして、n 型不純物領域 (b) 501～509 および n 型不純物領域 (c) 510～519 が形成される。なお、n 型不純物領域 (b) 501～509 および n 型不純物領域 (c) 510～519 に含まれる n 型不純物元素の濃度は実施例 4 を参照すれば良い。

【0158】次に、ゲート電極 335～339 をマスクとして、半導体膜に実施例 4 の図 5 (C) に示した添加工程と同様に n 型不純物元素 (本実施例ではリン) を添加する。こうして n 型不純物領域 (a) 541～549 が形成される。なお、n 型不純物領域 (a) 541～549 に含まれる n 型不純物元素の濃度は実施例 4 を参照すれば良い。(図 18 (C))

【0159】次に、レジストマスク 550 を形成し、実施例 4 の図 6 (B) に示した添加工程と同様に p 型不純物元素 (本実施例ではボロン) を添加する。こうして p 型不純物領域 (a) 551～554 が形成される。なお、p 型不純物領域 (a) 551～554 に含まれる p 型不純物元素の濃度は実施例 4 を参照すれば良い。(図 18 (D))

【0160】このあとは、実施例 4 の図 6 (C) に示した活性化工程以降の工程に従って EL 発光装置を作製すれば良い。また、完成した TFT 構造は実施例 4 とほぼ同様であるため、実施例 4 の説明を参照すれば良い。なお、本実施例は発明の実施の形態、実施例 2～実施例 8 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0161】〔実施例 11〕実施例 4 では層間絶縁膜 373 として樹脂膜を用いたが、本実施例では珪素を含む絶縁膜、具体的には酸化珪素膜を用いる。本実施例の場合、まず図 6 (B) の工程まで終えたら、ゲート電極を覆うように 100～200 nm の厚さの保護膜 (本実施例では窒化酸化珪素膜) を形成する。

【0162】次に、図 6 (C) と同様に活性化工程を行い、次に 800 nm～1 μm の厚さの層間絶縁膜 (本実施例では酸化珪素膜) を設ける。本実施例では、この層間絶縁膜を形成する前に 3～100% の水素を含む雰囲気中にて 350～500℃ の熱処理を行い、活性層の不对結合手を励起された水素で終端する。

【0163】これらの工程の後、ソース配線もしくはドレイン配線を前記層間絶縁膜上に形成し、ソース配線およびドレイン配線をパッシベーション膜で覆う。本実施例ではパッシベーション膜として窒化珪素膜もしくは窒化酸化珪素膜を用いる。

【0164】なお、本実施例の構成は発明の実施の形態、実施例 2～実施例 10 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0165】〔実施例 12〕本実施例では、実施例 4 に示した EL 表示装置とは異なる構造で EL 素子を封止した例について図 13 を用いて説明する。なお、図 12 と同一の部分については同一の符号を用いる。

【0166】本実施例ではカバー材 1001 として、両面に DLC 膜 1002a および 1002b を形成したプラスチックフィルムを用いる。プラスチックフィルムの両面に DLC 膜を形成する場合、プラスチックフィルムをロールに巻いて成膜を行うロールトゥロール方式を用い

れば良い。

【0167】本実施例では、実施例 4 に従って EL 素子まで作製した基板に、封止材 1003 を用いてカバー材 1001 を貼り合わせる。そして、カバー材 1001 の端部はシール材 1004 で封止する。本実施例で用いる封止材 1003 およびシール材 1004 に関しては、実施例 4 に示した材料を用いることができる。

【0168】なお、本実施例の構成は発明の実施の形態、実施例 1～11 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0169】〔実施例 13〕本実施例では、実施例 4 において図 9 に示した画素構造および実施例 8 において図 15 に示した画素構造の回路図について説明する。ここでは図 9 に対応した回路図を図 19 (A) に、図 15 に対応した回路図を図 19 (B) に示す。

【0170】図 19 (A) において、340 はソース配線、379 は電流供給線、604 はゲート配線である。これらの符号は図 9 に対応している。また、1601 は図 10 (A) に示したスイッチング TFT、1602 は図 10 (B) に示した電流制御 TFT、1603 は図 10 (C) に示した保持容量、1604 は EL 素子である。

【0171】本実施例に示した画素をデジタル駆動する場合には、特願 2000-114592 号に記載の駆動方法を引用すれば良い。

【0172】次に、図 19 (B) において、1203 はソース配線、1207 は電流供給線、1202 はゲート配線である。これらの符号は図 15 に対応している。また、1605 は図 16 (A) に示したスイッチング TFT、1606 は図 16 (B) に示した電流制御 TFT、1607 は図 16 (C) に示した保持容量、1608 は EL 素子、1609 は消去 TFT である。

【0173】本実施例に示した画素をデジタル駆動する場合には、特願 11-338786 号に記載の駆動方法を引用すれば良い。

【0174】なお、本実施例の構成は発明の実施の形態、実施例 2～12 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0175】〔実施例 14〕本実施例ではアクティブマトリクス基板が完成した後で基板を剥離してカラーフィルタを貼り合わせる場合の例について説明する。なお、本実施例の工程は実施例 3 の構造を実現する上で有効である。

【0176】まず、実施例 4 の作製工程に従って、図 7 (B) に示す構造のアクティブマトリクス基板を完成する。但し、本実施例では基板 301 と下地膜 302 の間に剥離層 1701 が設けられている。本実施例では剥離層 1701 として非晶質珪素膜 (多結晶珪素膜でも良い) を用いる。また、カバー材 388 としては、プラスチックフィルム 1702 を用い、プラスチックフィルム

1702の両面にはDLC膜1703aおよび1703bが設けられている。(図20(A))

【0177】次に、アクティブマトリクス基板全体を、フッ化ハロゲンを含むガス中に晒し、剥離層1701の除去を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素(C₁F₃)を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500 sccm (8.35×10⁻⁶ m³/s)とし、反応圧力は1~10 Torr (1.3×10²~1.3×10³ Pa)とすれば良い。また、処理温度は室温(典型的には20~27℃)で良い。

【0178】なお、フッ化ハロゲンとは化学式XFn(Xはフッ素以外のハロゲン、nは整数)で示される物質であり、一フッ化塩素(C₁F)、三フッ化塩素(C₁F₃)、一フッ化臭素(BrF)、三フッ化臭素(BrF₃)、一フッ化ヨウ素(IF)もしくは三フッ化ヨウ素(IF₃)を用いることができる。フッ化ハロゲンは、珪素膜と酸化珪素膜とのエッチング時の選択比が大きく、珪素膜の選択的なエッチングが可能である。

【0179】この場合、剥離層である珪素膜はエッチングされるが、ガスに晒される他の部分(炭素膜、プラスチックフィルム、ガラス基板、樹脂膜および酸化珪素膜が露呈した部分)はエッチングされない。即ち、三フッ化塩素ガスに晒すことで剥離層1701が選択的にエッチングされ、最終的には完全に除去される。

【0180】本実施例の場合、剥離層1701は露呈した端部から徐々にエッチングされていき、完全に除去された時点で基板301と下地膜302が分離される。このとき、TFT及びEL素子は薄膜を積層して形成されているが、プラスチックフィルム1702に移された形で残る。(図20(B))

【0181】この剥離技術は本出願人による特願2000-008403号に記載された技術を引用すれば良い。また、特願2000-071673号に記載された技術を引用することもできる。

【0182】次に、図21に示すように、プラスチックフィルム1704の両面にDLC膜1705a、1705bを設け、その上に着色層(R)391aおよび着色層(B)391bを形成し、樹脂層393を形成してカラーフィルタを作製する。そして、そのカラーフィルタを下地膜302に貼り合わせる。

【0183】本実施例の場合、TFTおよびEL素子がプラスチックフィルムに挟まれた状態となっているため、発光装置全体が可撓性になる。また、全ての基板がプラスチックフィルムで形成されているため、薄型で軽量のEL発光装置が得られる。

【0184】〔実施例15〕本発明を実施するにあたってEL素子を形成するために用いる成膜装置の例を図22に示す。なお、本実施例ではインライン方式の成膜装

置とした場合について説明する。図22において201はロード室であり、基板40の搬送はここから行われる。ロード室201には排気系200aが備えられ、排気系200aは第1バルブ41、ターボ分子ポンプ42、第2バルブ43及びロータリーポンプ(油回転ポンプ)44を含んだ構成からなっている。

【0185】第1バルブ41はメインバルブであり、コンダクタンスバルブを兼ねる場合もあるしバタフライバルブを用いる場合もある。第2バルブ43はフォアバルブであり、まず第2バルブ43を開けてロータリーポンプ44によりロード室201を粗く減圧し、次に第1バルブ41を空けてターボ分子ポンプ42で高真空まで減圧する。なお、ターボ分子ポンプの代わりにメカニカルブースターポンプ若しくはクライオポンプを用いることが可能であるがクライオポンプは水分の除去に特に効果的である。

【0186】次に、202で示されるのはEL素子の陽極もしくは陰極(本実施例では陽極)の表面を処理する前処理室であり、前処理室202は排気系200bを備えている。また、ロード室201とは図示しないゲートで密閉遮断されている。前処理室202はEL素子の作製プロセスによって様々に変えることができる。

【0187】前処理としては、オゾンプラズマ処理、酸素プラズマ処理、アルゴンプラズマ処理、ネオンプラズマ処理、ヘリウムプラズマ処理もしくは水素プラズマ処理を行うことができる。また、ヒーターを備えることでプラズマ処理と同時に加熱することも可能である。さらに、紫外光ランプを備えることで紫外光照射を可能とすることも有効である。

【0188】本実施例では、基板を100℃に加熱しながら酸化物導電膜からなる陽極の表面にオゾンプラズマ処理を行い、水分の除去と同時に陽極表面の仕事関数を高める前処理を行う。

【0189】次に、203は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(A)と呼ぶ。蒸着室(A)203は排気系200cを備えている。また、前処理室202とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(A)203にて正孔注入層を形成する。

【0190】次に、204は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(B)と呼ぶ。蒸着室(B)204は排気系200dを備えている。また、蒸着室(A)203とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(B)204にて正孔輸送層を形成する。

【0191】次に、205は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(C)と呼ぶ。蒸着室(C)205は排気系200eを備えている。また、蒸着室(B)204とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(C)205にお

いて、赤色に発色する発光層を形成する。

【0192】次に、206は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(D)と呼ぶ。蒸着室(D)206は排気系200fを備えている。また、蒸着室(C)205とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(D)206において、緑色に発色する発光層を形成する。

【0193】次に、207は蒸着法により有機EL材料を成膜するための蒸着室であり、蒸着室(E)と呼ぶ。蒸着室(E)207は排気系200gを備えている。また、蒸着室(D)206とは図示しないゲートで密閉遮断されている。本実施例では、蒸着室(E)207において、青色に発色する発光層を形成する。

【0194】次に、208は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(F)と呼ぶ。蒸着室(F)208は排気系200hを備えている。また、蒸着室(E)207とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(F)208にて電子輸送層を形成する。

【0195】次に、209は蒸着法により有機材料を成膜するための蒸着室であり、蒸着室(G)と呼ぶ。蒸着室(G)209は排気系200iを備えている。また、蒸着室(F)208とは図示しないゲートで密閉遮断されている。本実施例では蒸着室(G)209にて電子注入層を形成する。

【0196】次に、210は蒸着法によりEL素子の陽極もしくは陰極となる導電膜(本実施例では陰極となる金属膜)を成膜するための蒸着室であり、蒸着室(H)と呼ぶ。蒸着室(H)210は排気系200jを備えている。また、蒸着室(G)209とは図示しないゲートで密閉遮断されている。

【0197】本実施例では、蒸着室(H)210にて、EL素子の陰極となる導電膜としてAl-Li合金膜(アルミニウムとリチウムとの合金膜)もしくはAl-Cs合金膜(アルミニウムとセシウムとの合金膜)を形成する。なお、周期表の1族もしくは2族に属する元素とアルミニウムとを共蒸着することも可能である。

【0198】次に、211は封止室であり、排気系200kを備えている。また、蒸着室(H)210とは図示しないゲートで密閉遮断されている。封止室211ではEL素子を酸素および水分から保護するために、パッシベーション膜としてDLC(ダイヤモンドライクカーボン)膜を形成する。

【0199】DLC膜を形成するにはスパッタ法もしくはプラズマCVD法を用いれば良い。DLC膜は室温から100℃以下の温度範囲で成膜できるため、耐熱性の低いEL素子を保護するパッシベーション膜として好適である。また、熱伝導率が高く放熱効果が良いため、EL素子の熱劣化を抑制する効果も期待できる。なお、本実施例で形成するDLC膜は窒化珪素膜もしくは炭化珪

素膜と積層して用いることも有効である。

【0200】さらに、DLC膜中にフッ素や水素を添加しても良い。また、DLC膜中の酸素濃度を 1×10^{18} atoms/cm³以下とすることで酸素の透過率を低減することが可能である。

【0201】最後に、212はアンロード室であり、排気系200lを備えている。EL素子が形成された基板はここから取り出される。

【0202】以上のように、図22に示した成膜装置を用いることで完全にEL素子を密閉空間に封入するまで外気に晒さずに済むため、信頼性の高いEL表示装置を作製することが可能となる。また、インライン方式により高いスループットでEL表示装置を作製することができる。

【0203】さらに、本実施例に示した成膜装置の各処理室、排気系および搬送系をコンピュータ制御により動作させることは有効である。本実施例の場合、連続的に一連の処理を行ってEL素子が完成するため、コンピュータ制御により基板投入から基板取り出しまでを管理することができる。

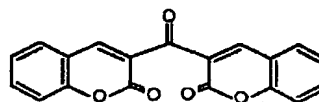
【0204】なお、本実施例に示した成膜装置を用いて発明の実施の形態、実施例1~14に示したいずれの構成のEL表示装置を作製しても良い。

【0205】〔実施例16〕本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記論文に報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0206】

【化1】

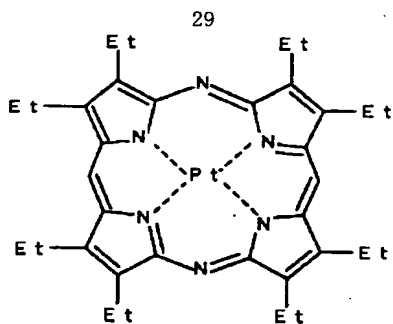


【0207】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

上記論文に報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0208】

【化2】



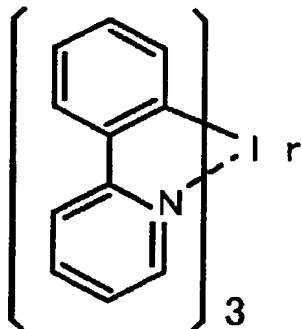
【0209】(M. A. Baldo, S. Lamansky, P. E. Burrows, M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.)

(T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

上記論文に報告された EL 材料 (Ir 錯体) の分子式を以下に示す。

【0210】

【化3】



【0211】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より 3~4 倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、発明の実施の形態、実施例 1~実施例 15 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0212】【実施例 17】本実施例では、実施例 4 において図 7 (B) に示した EL 素子 385 の具体的な例について図 23 を用いて説明する。なお、本実施例に示す EL 素子の構造例は図 7 (B) の EL 素子 385 の部分を拡大した例に相当する。また、本実施例の EL 素子を図 22 に示した装置で作製した例を示す。

【0213】なお、本実施例で EL 層を形成する材料は公知の有機材料もしくは無機材料を用いることができる。また、高分子系材料であっても低分子系材料であっても良い。

【0214】まず、図 23 (A) は、陽極 (画素電極) 51 上に正孔注入層 52、正孔輸送層 53、発光層 54、電子輸送層 55、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は

赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0215】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室 (A) 203 で正孔注入層 52 を形成し、蒸着室 (B) 204 で正孔輸送層 53 を形成し、蒸着室 (C) 205~蒸着室 (E) 207 で発光層 54 を形成し、蒸着室 (F) 208 で電子輸送層 55 を形成し、蒸着室 (G) 209 で電子注入層 56 を形成し、蒸着室 (H) 210 で陰極 57 を形成する。

【0216】次に、図 23 (B) は、陽極 (画素電極) 51 上に正孔注入層 52、正孔輸送層 53、発光層 54、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0217】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室 (A) 203 で正孔注入層 52 を形成し、蒸着室 (B) 204 で正孔輸送層 53 を形成し、蒸着室 (C) 205~蒸着室 (E) 207 で発光層 54 を形成し、蒸着室 (F) 208 を通過させて、蒸着室 (G) 209 で電子注入層 56 を形成し、蒸着室 (H) 210 で陰極 57 を形成する。

【0218】次に、図 23 (C) は、陽極 (画素電極) 51 上に正孔注入層 52、発光層 54、電子輸送層 55、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0219】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室 (A) 203 で正孔注入層 52 を形成し、蒸着室 (B) 204 を通過させて、蒸着室 (C) 205~蒸着室 (E) 207 で発光層 54 を形成し、蒸着室 (F) 208 で電子輸送層 55 を形成し、蒸着室 (G) 209 で電子注入層 56 を形成し、蒸着室 (H) 210 で陰極 57 を形成する。

【0220】次に、図 23 (D) は、陽極 (画素電極) 51 上に正孔注入層 52、発光層 54、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0221】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室 (A) 203 で正孔注入層 52 を形成し、蒸着室 (B) 204 を通過させて、蒸着室 (C) 205~蒸着室 (E) 207 で発光層 54 を形成し、蒸着室 (F) 208 を通過させて、蒸着室 (G) 209 で電子注入層 56 を形成し、蒸着室 (H) 210 で陰極 57 を形成する。

【0222】次に、図 23 (E) は、陽極 (画素電極) 51 上にクラスター 58、正孔注入層 52、発光層 54、電子輸送層 55、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は赤、緑、青に対応した三種類の発光層を成膜しても良

い。また、クラスター 58 は陽極 51 の仕事関数を高めるために設けられ、本実施例ではイリジウム、ニッケルもしくは白金をクラスター状（塊状）に設ける。このクラスター 18 は直径もしくは長径が 10～100 nm、高さ 5～50 nm とすることが好ましい。

【0223】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室（A）でクラスター 58 を形成し、蒸着室（B）204 で正孔注入層 52 を形成し、蒸着室（C）205～蒸着室（E）207 で発光層 54 を形成し、蒸着室（F）208 で電子輸送層 55 を形成し、蒸着室（G）209 で電子注入層 56 を形成し、蒸着室（H）210 で陰極 57 を形成する。

【0224】次に、図 23（F）は、陽極（画素電極）51 上にクラスター 58、正孔注入層 52、発光層 54、電子注入層 56 および陰極 57 を積層した構造の EL 素子である。なお、発光層 54 は赤、緑、青に対応した三種類の発光層を成膜しても良い。

【0225】本実施例では、前処理室 202 で陽極 51 の表面改善を行い、蒸着室（A）でクラスター 58 を形成し、蒸着室（B）204 で正孔注入層 52 を形成し、蒸着室（C）205～蒸着室（E）207 で発光層 54 を形成し、蒸着室（F）208 を通過させて、蒸着室（G）209 で電子注入層 56 を形成し、蒸着室（H）210 で陰極 57 を形成する。

【0226】以上のように、様々な構造の EL 素子を形成する場合においても、図 22 に示したような成膜装置を用いれば容易に作製することが可能である。なお、本実施例に示した構成は発明の実施の形態、実施例 1～実施例 15 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0227】〔実施例 18〕本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。

【0228】本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルバーサタイルディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電気器具の具体例を図 24、図 25 に示す。

【0229】図 24（A）は EL ディスプレイであり、筐体 2001、支持台 2002、表示部 2003 を含む。本発明の発光装置は表示部 2003 に用いることが

できる。EL ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0230】図 24（B）はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 を含む。本発明の発光装置は表示部 2102 に用いることができる。

【0231】図 24（C）はデジタルカメラであり、本体 2201、表示部 2202、接眼部 2203、操作スイッチ 2204 を含む。本発明の発光装置は表示部 2202 に用いることができる。

【0232】図 24（D）は記録媒体を備えた画像再生装置（具体的には DVD 再生装置）であり、本体 2301、記録媒体（CD、LD または DVD 等）2302、操作スイッチ 2303、表示部（a）2304、表示部（b）2305 を含む。表示部（a）は主として画像情報を表示し、表示部（b）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置には、CD 再生装置、ゲーム機器なども含まれる。

【0233】図 24（E）は携帯型（モバイル）コンピュータであり、本体 2401、表示部 2402、受像部 2403、操作スイッチ 2404、メモリスロット 2405 を含む。本発明の電気光学装置は表示部 2402 に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【0234】図 24（F）はパーソナルコンピュータであり、本体 2501、筐体 2502、表示部 2503、キーボード 2504 を含む。本発明の発光装置は表示部 2503 に用いることができる。

【0235】なお、将来的に EL 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0236】また、上記電子装置はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL 材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【0237】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0238】ここで図25(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0239】また、図25(B)はカーオーディオ(車載用オーディオ)であり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用オーディオを示すが、据え置き型(家庭用)オーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【0240】さらに、光センサを内蔵させ、使用環境の明るさを検知する手段を設けることで使用環境の明るさに応じて発光輝度を変調させるような機能を持たせることは有効である。使用者は使用環境の明るさに比べてコントラスト比で100~150の明るさを確保できれば問題なく画像もしくは文字情報を認識できる。即ち、使用環境が明るい場合は画像の輝度を上げて見やすくし、使用環境が暗い場合は画像の輝度を抑えて消費電力を抑えるといったことが可能である。

【0241】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は発明の実施の形態、実施例1~実施例17の構成を自由に組み合わせたEL発光装置を用いることで得ることができる。

【0242】

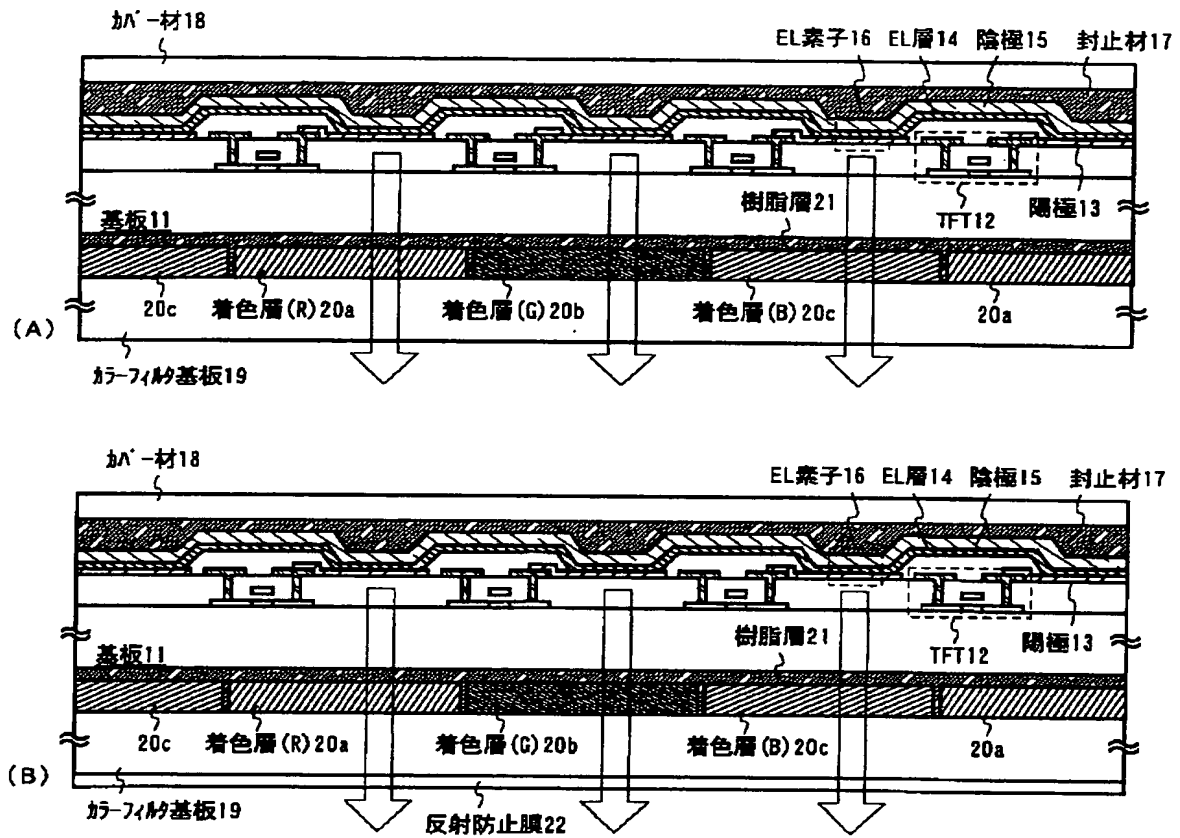
【発明の効果】本発明を実施することでアクティブマトリクス基板もしくはパッシブマトリクス基板とカラーフィルタとを別々の製造工程にて作製するため、発光装置全体としての歩留まりを向上させることができ、さらに、発光装置の製造期間の短縮を図ることができる。その結果、製造コストが低減されることにより安価な発光装置を提供することができる。さらに、安価な発光装置

を用いることで安価な電気器具を提供することが可能となる。

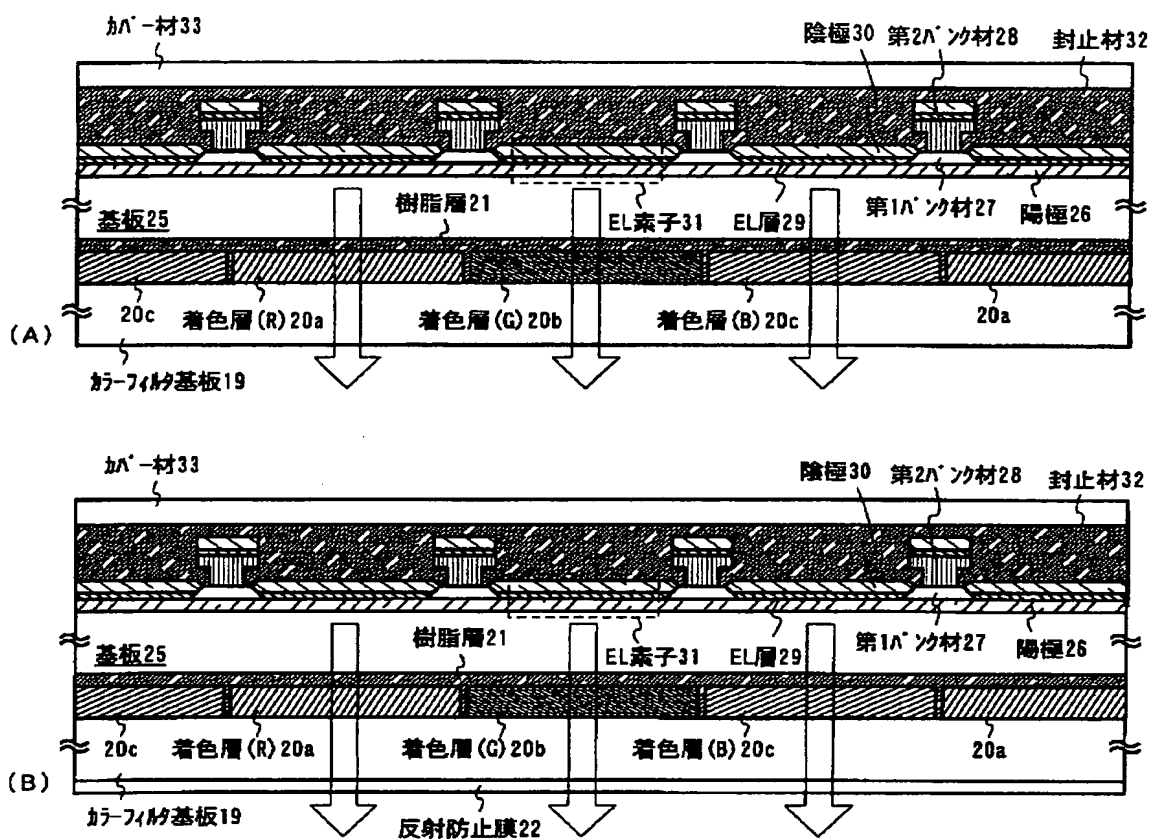
【図面の簡単な説明】

- 【図1】 画素部の断面構造を示す図。
- 【図2】 画素部の断面構造を示す図。
- 【図3】 画素部の断面構造を示す図。
- 【図4】 画素部の断面構造を示す図。
- 【図5】 画素部および駆動回路の作製工程を示す図。
- 10 【図6】 画素部および駆動回路の作製工程を示す図。
- 【図7】 画素部および駆動回路の作製工程を示す図。
- 【図8】 画素部および駆動回路の作製工程を示す図。
- 【図9】 画素部の上面構造を示す図。
- 【図10】 画素部の断面構造を示す図。
- 【図11】 EL発光装置の回路構成を示す図。
- 20 【図12】 EL発光装置の上面構造および断面構造を示す図。
- 【図13】 EL発光装置の上面構造および断面構造を示す図。
- 【図14】 画素部の上面構造を示す図。
- 【図15】 画素部の上面構造を示す図。
- 【図16】 画素部の断面構造を示す図。
- 【図17】 画素部および駆動回路の作製工程を示す図。
- 【図18】 画素部および駆動回路の作製工程を示す図。
- 30 【図19】 画素の回路構成を示す図。
- 【図20】 画素部の作製工程を示す図。
- 【図21】 画素部の断面構造を示す図。
- 【図22】 インライン方式の成膜装置の構成を示す図。
- 【図23】 EL素子の構造を示す図。
- 【図24】 電気器具の具体例を示す図。
- 【図25】 電気器具の具体例を示す図。

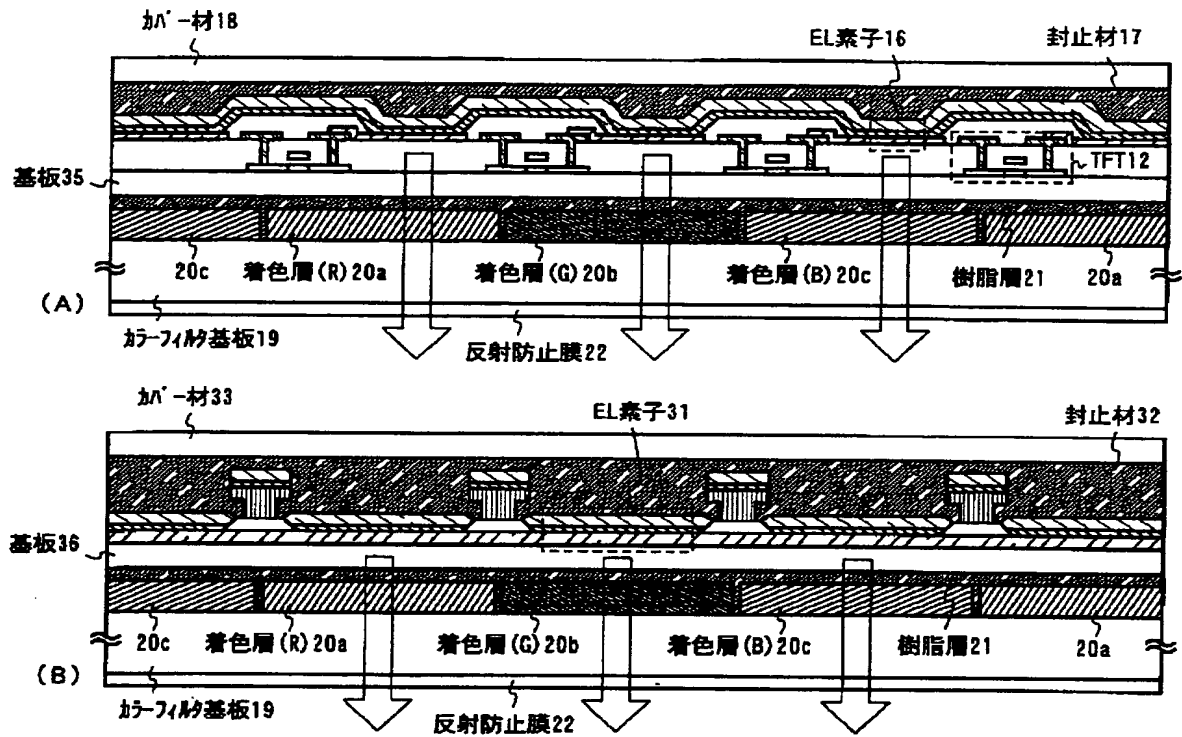
【図1】



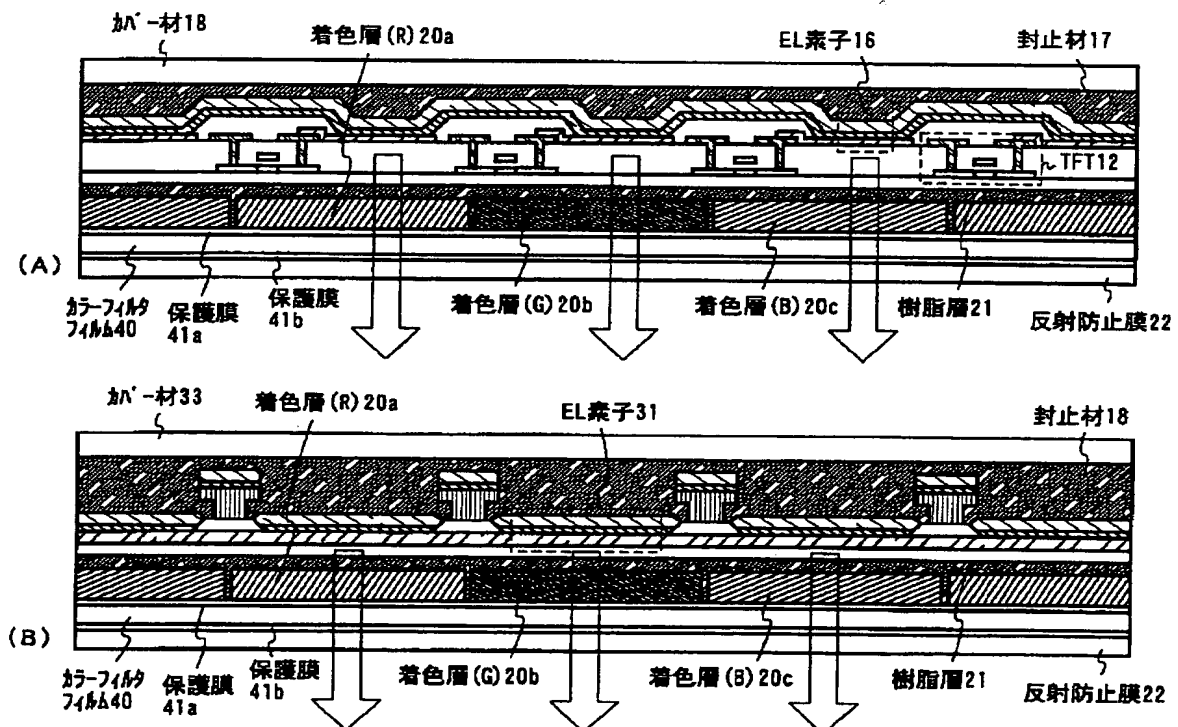
【図2】



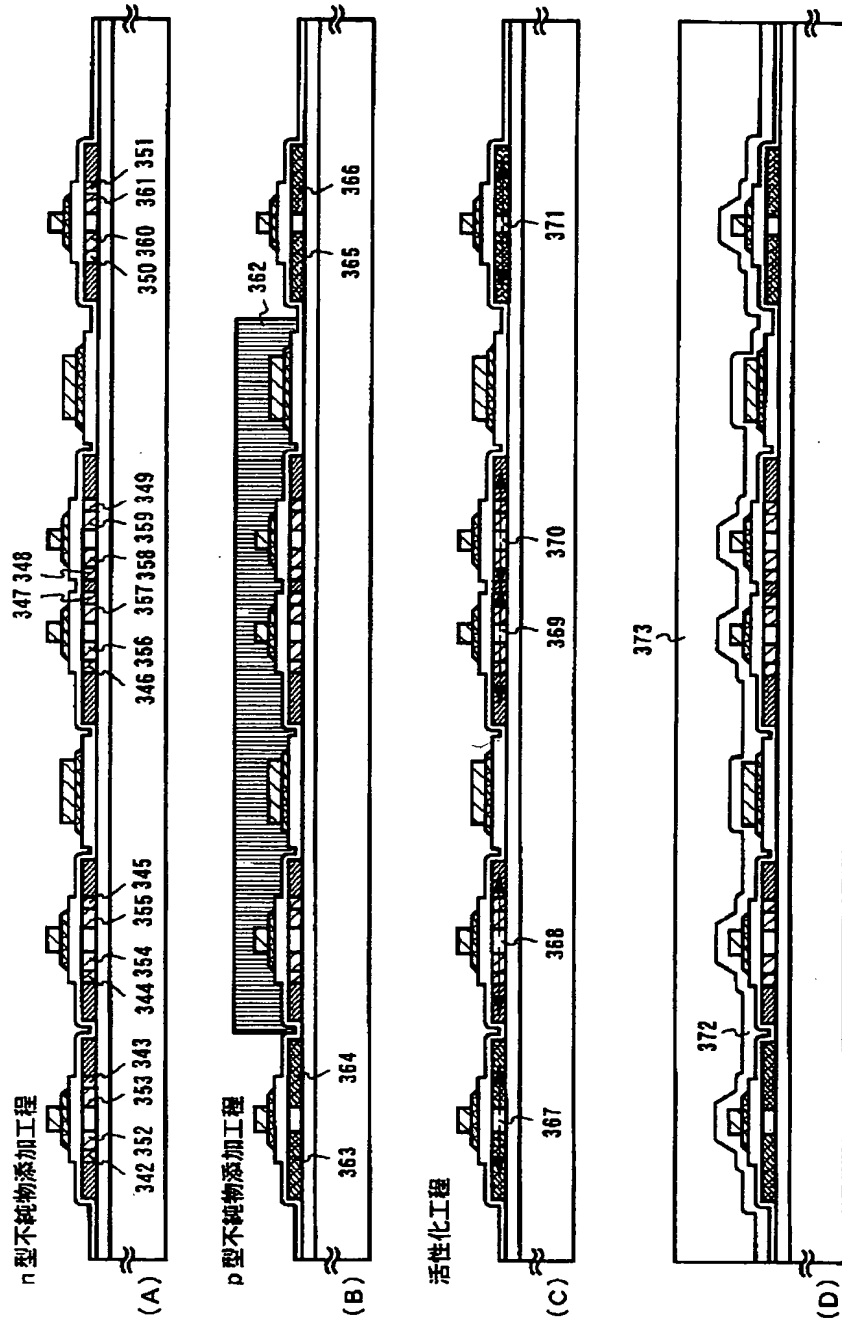
【図3】



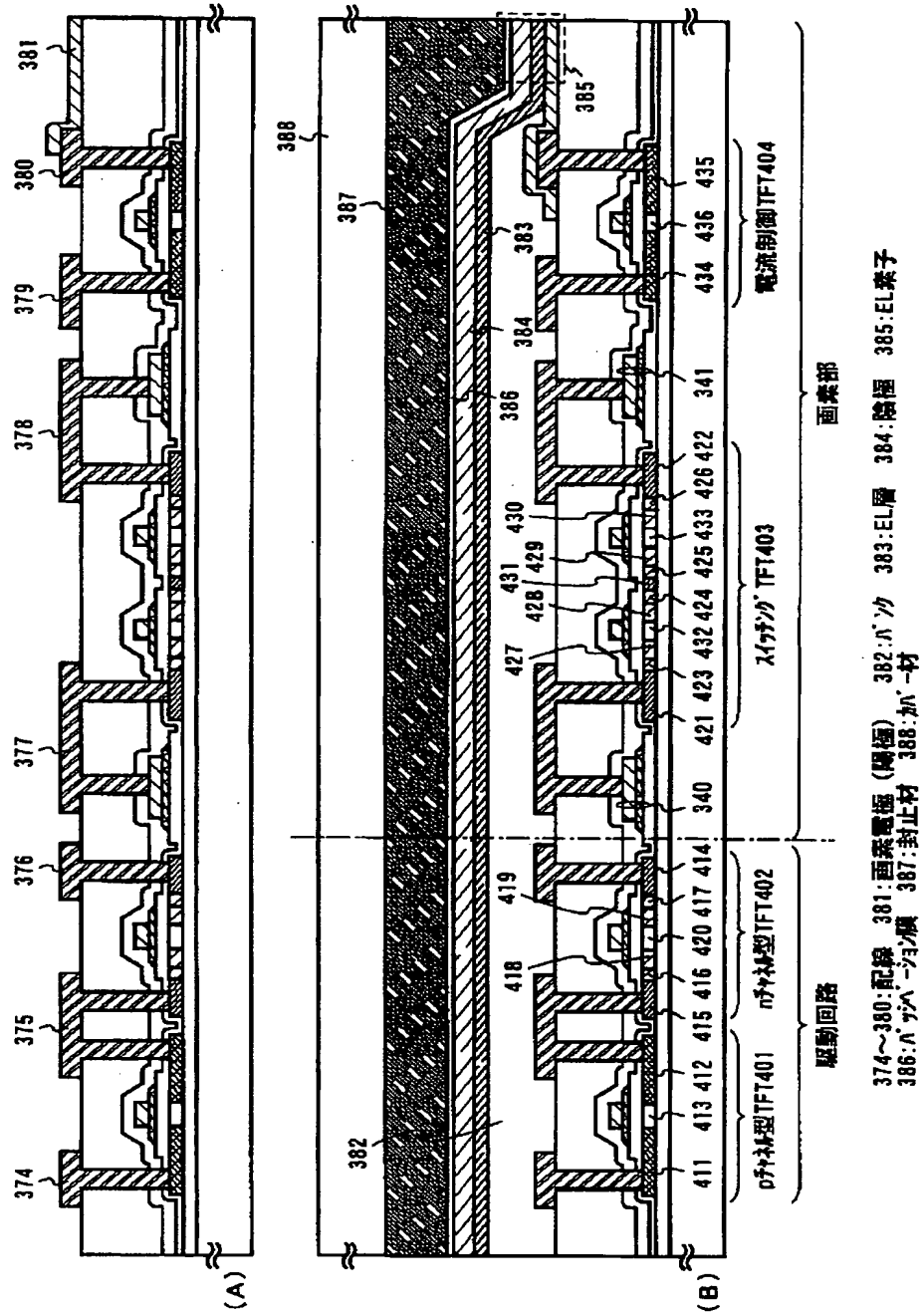
【図4】



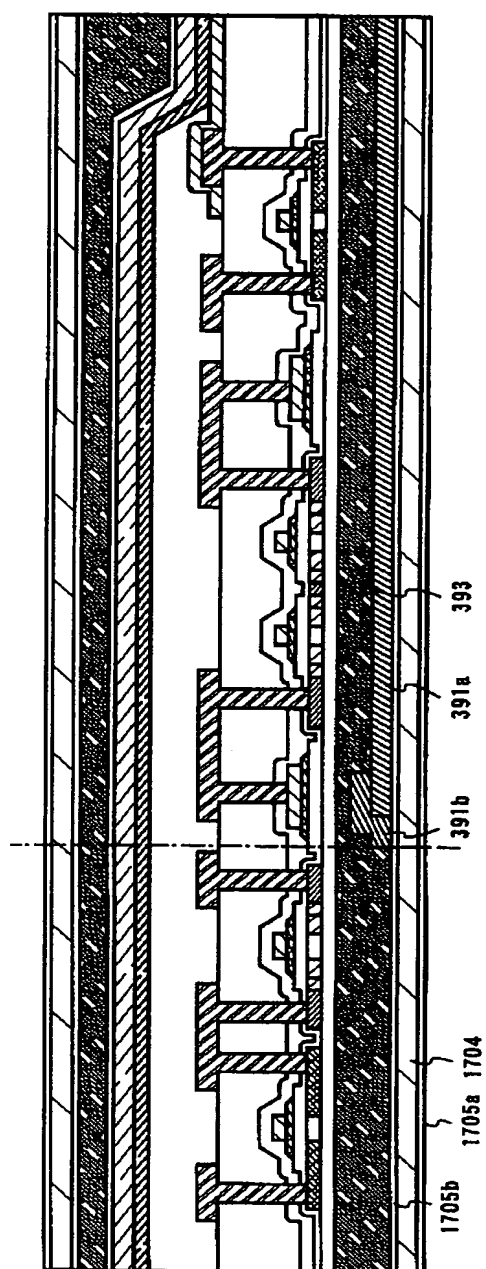
【図6】



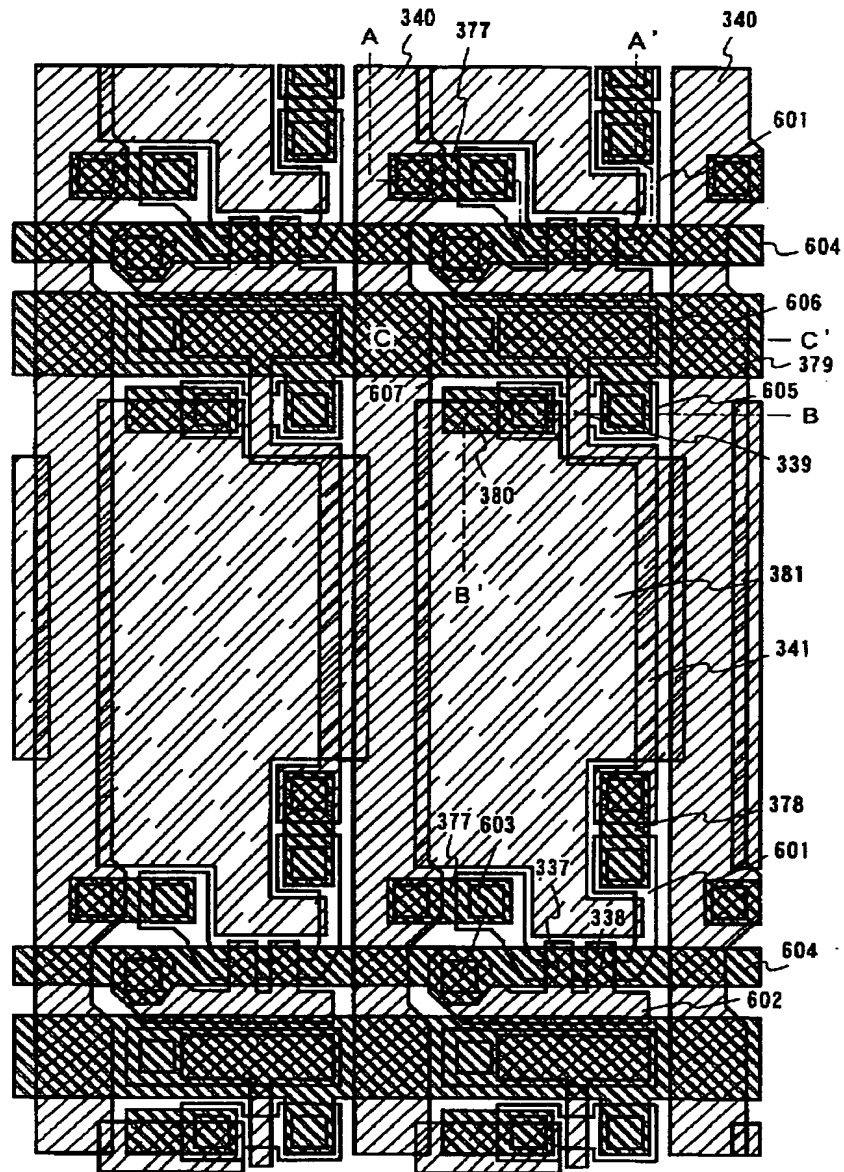
【図7】



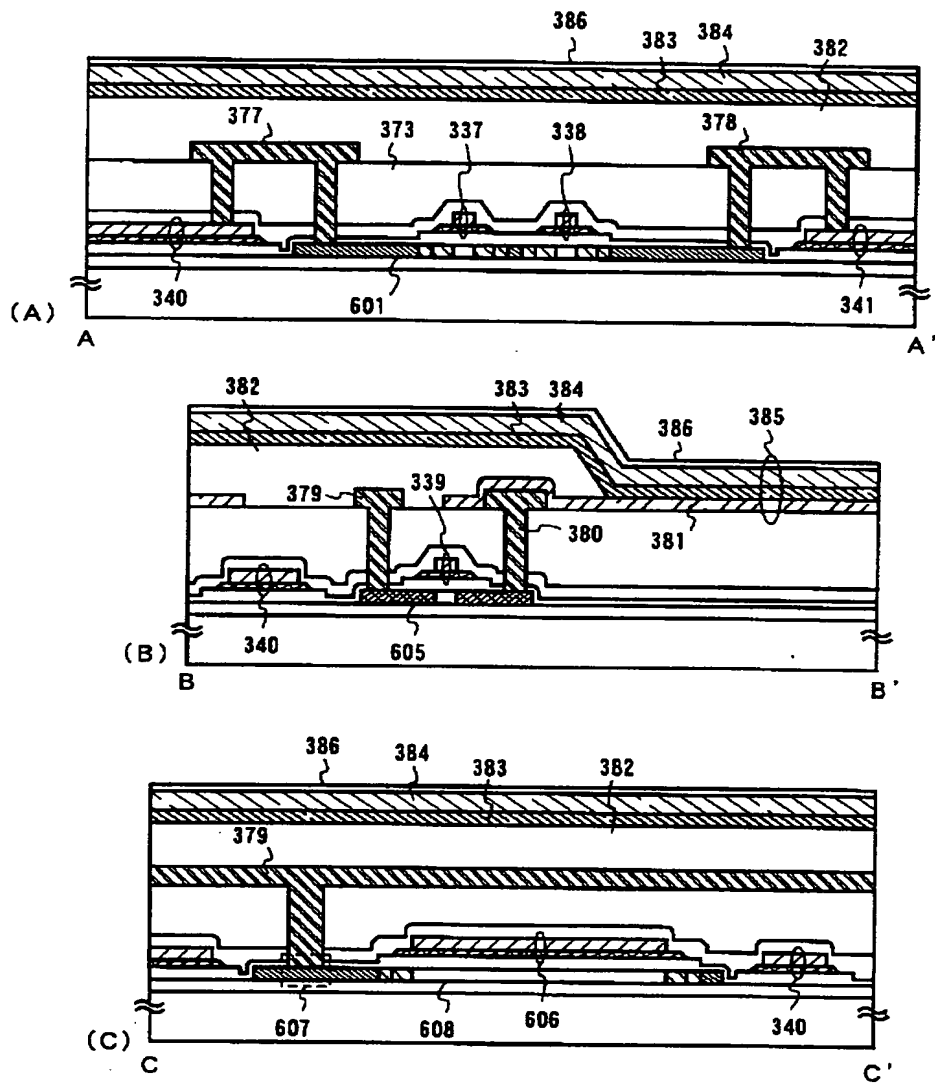
【図 21】



【図 9】



【図 10】



【図11】

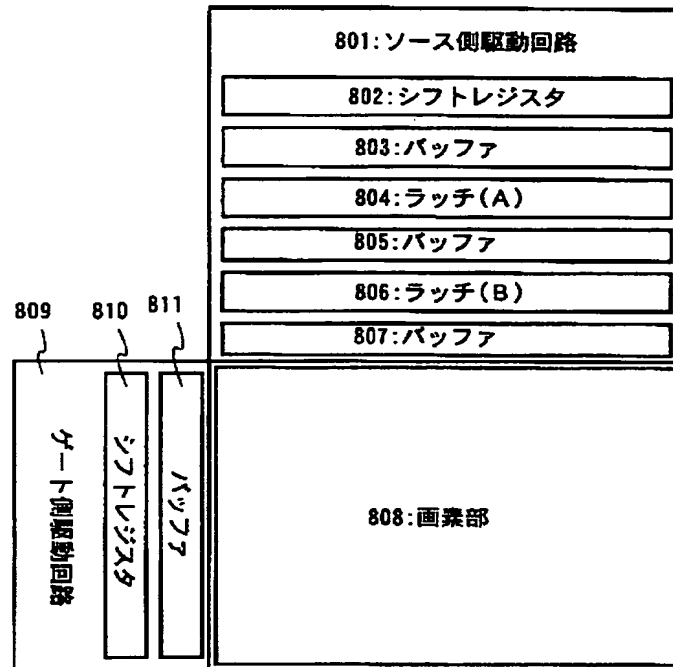


Figure 10 consists of two parts: (A) a plan view and (B) a cross-sectional view along line A-A'.

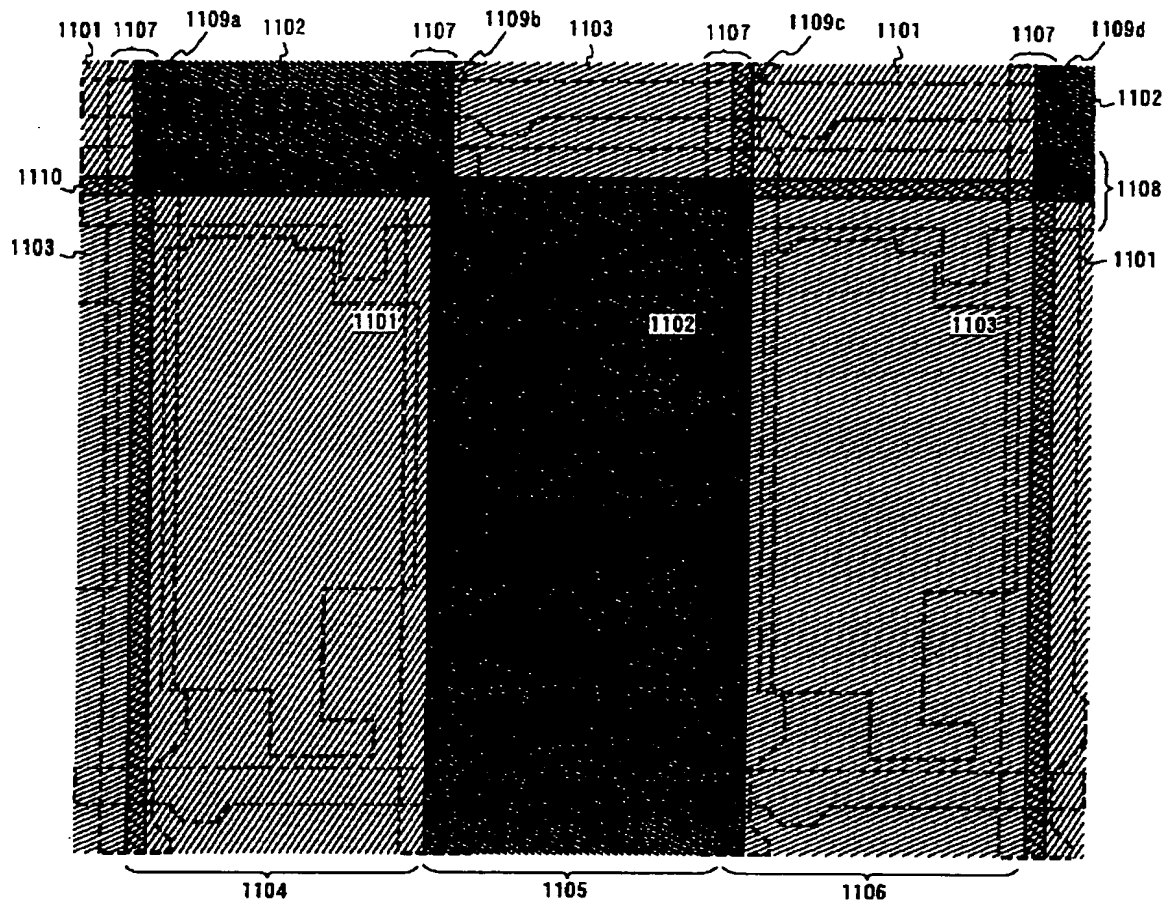
(A) Plan View: Shows a rectangular substrate 903 with a central square region 801. This region contains a grid of dashed lines representing circuit patterns. The outer boundary of the patterned area is labeled 902. A section line A-A' passes through the center. Other labels include 808, 809, 901, 904, and 905.

(B) Cross-sectional View: Shows the vertical profile of the device. It features a substrate 906 with various layers and structures. Key components include:

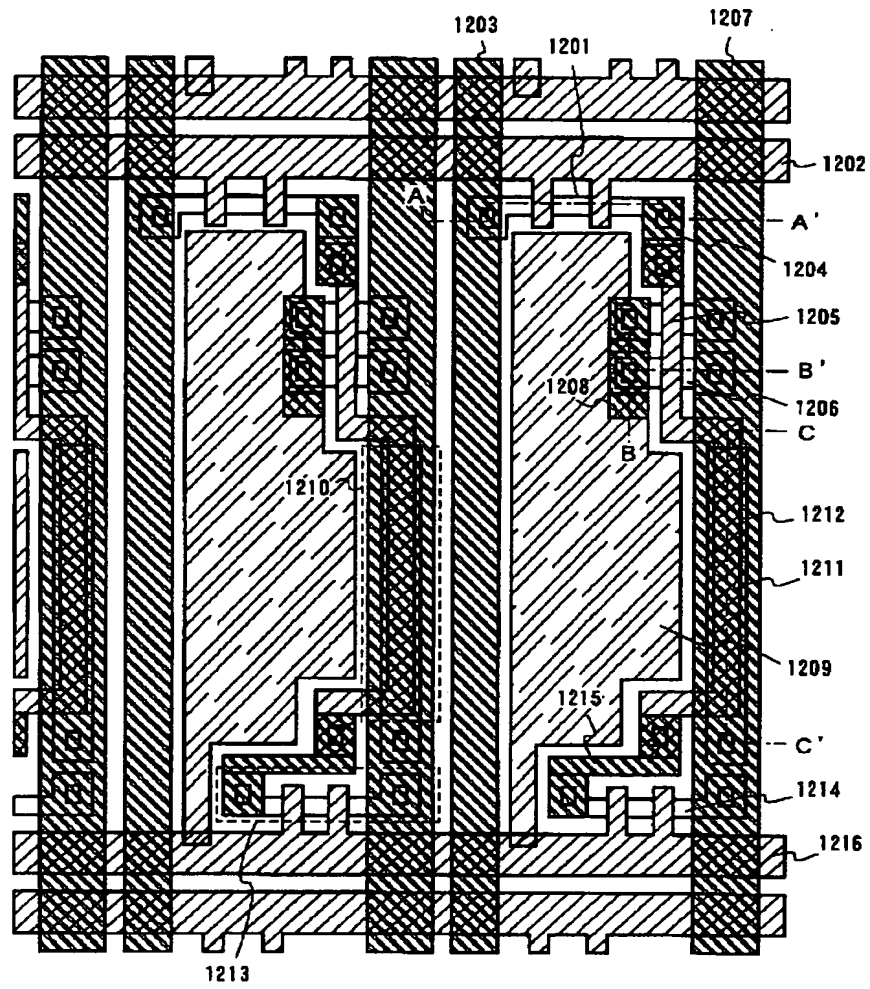
- A top layer 905.
- An insulating layer 907.
- A series of conductive contacts or gates labeled 382, 384, 386, and 388.
- A central channel or well region 401.
- A gate stack 402.
- A source/drain region 404.
- A bottom layer 902.
- A thick insulating layer 904.
- A base layer 903.

 Labels 901, 908a, 908b, and 909 are also present. A legend at the bottom right identifies hatched areas as "銅鍍層 808" (Copper plating 808) and "シリコン基板 809" (Silicon substrate 809). Dimensions 391a, 391b, and 391c are indicated for different regions.

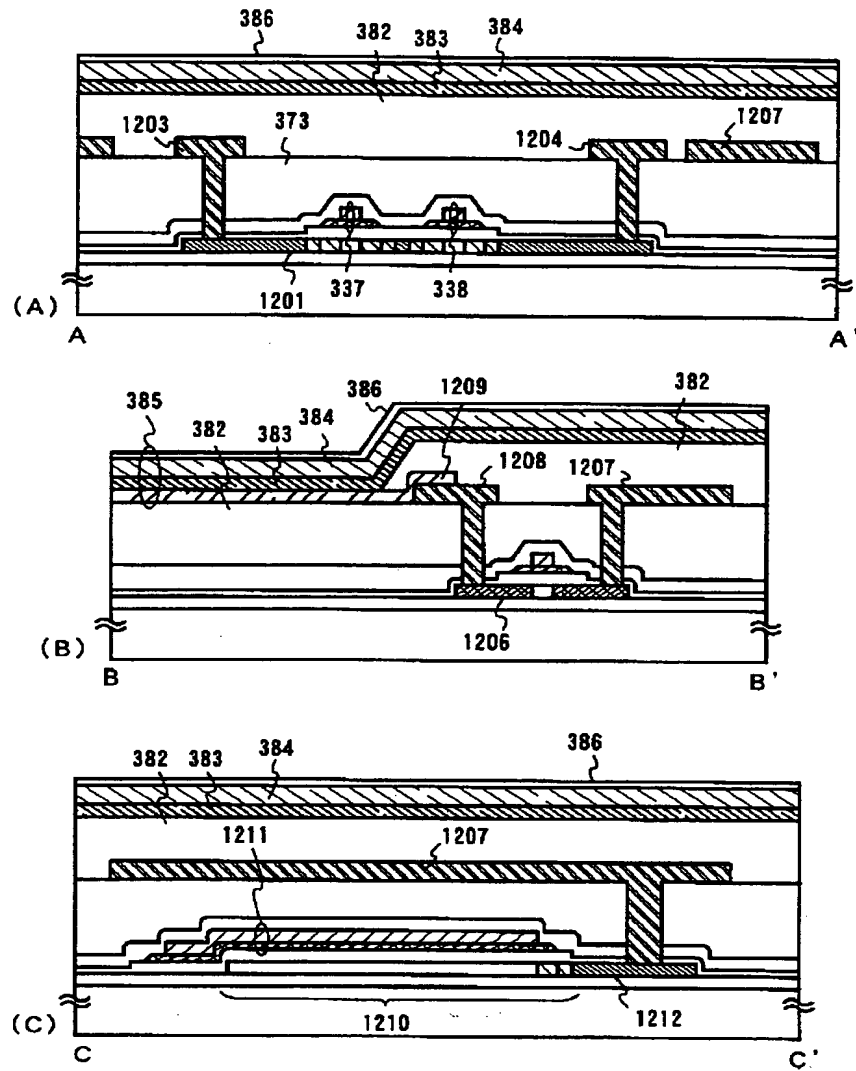
【図 14】



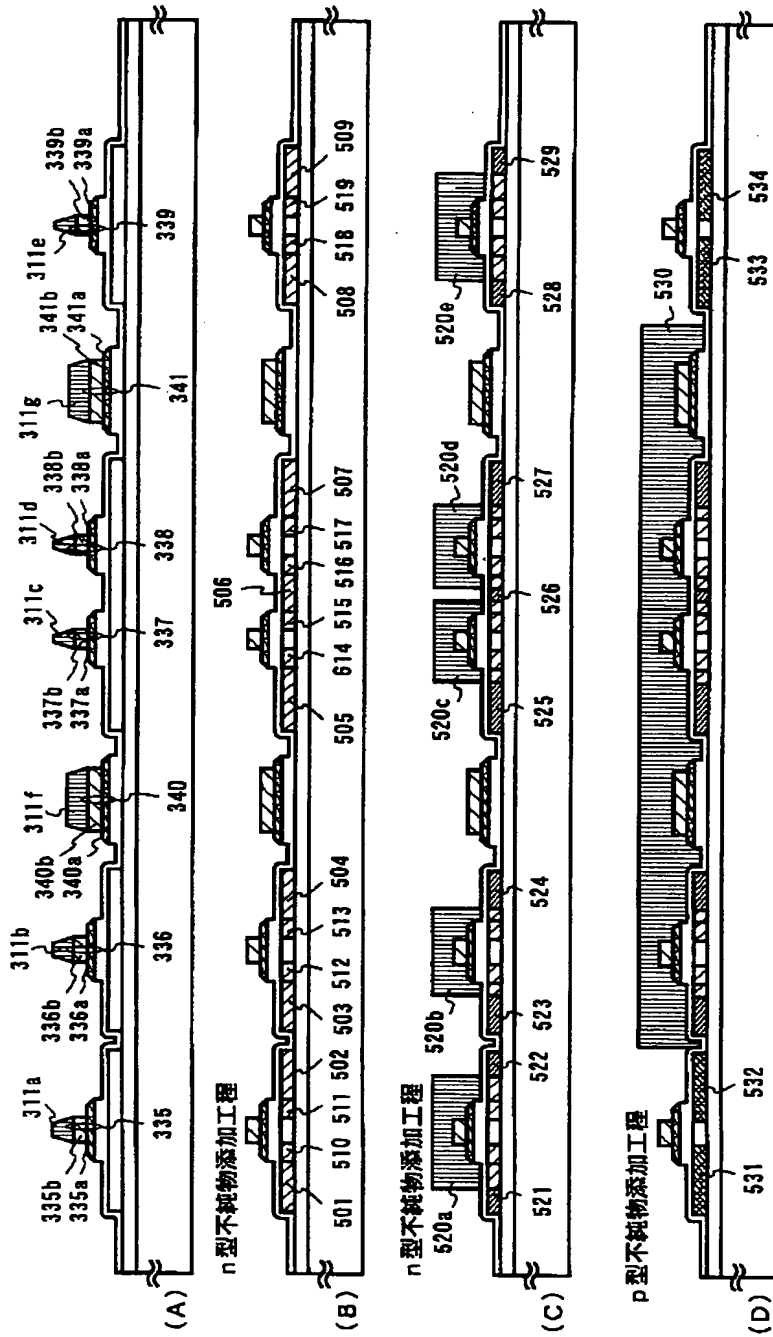
【図 15】



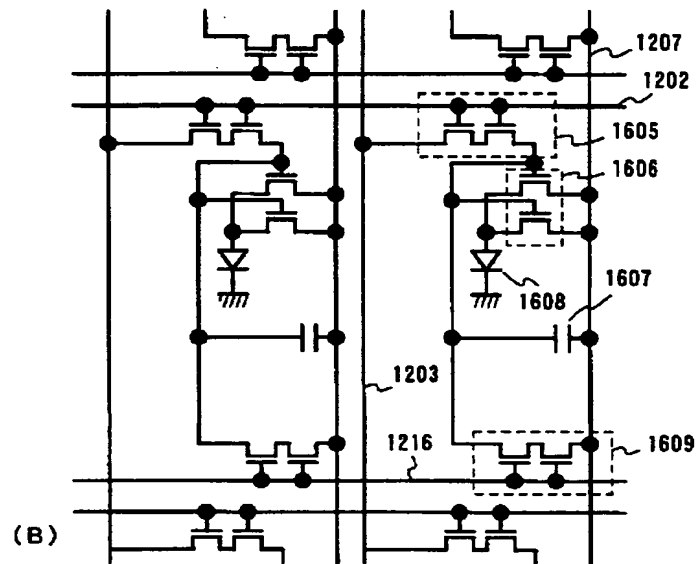
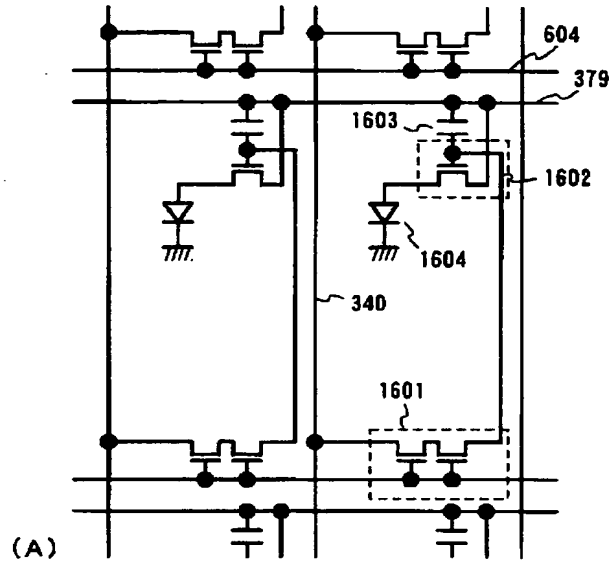
【図 16】



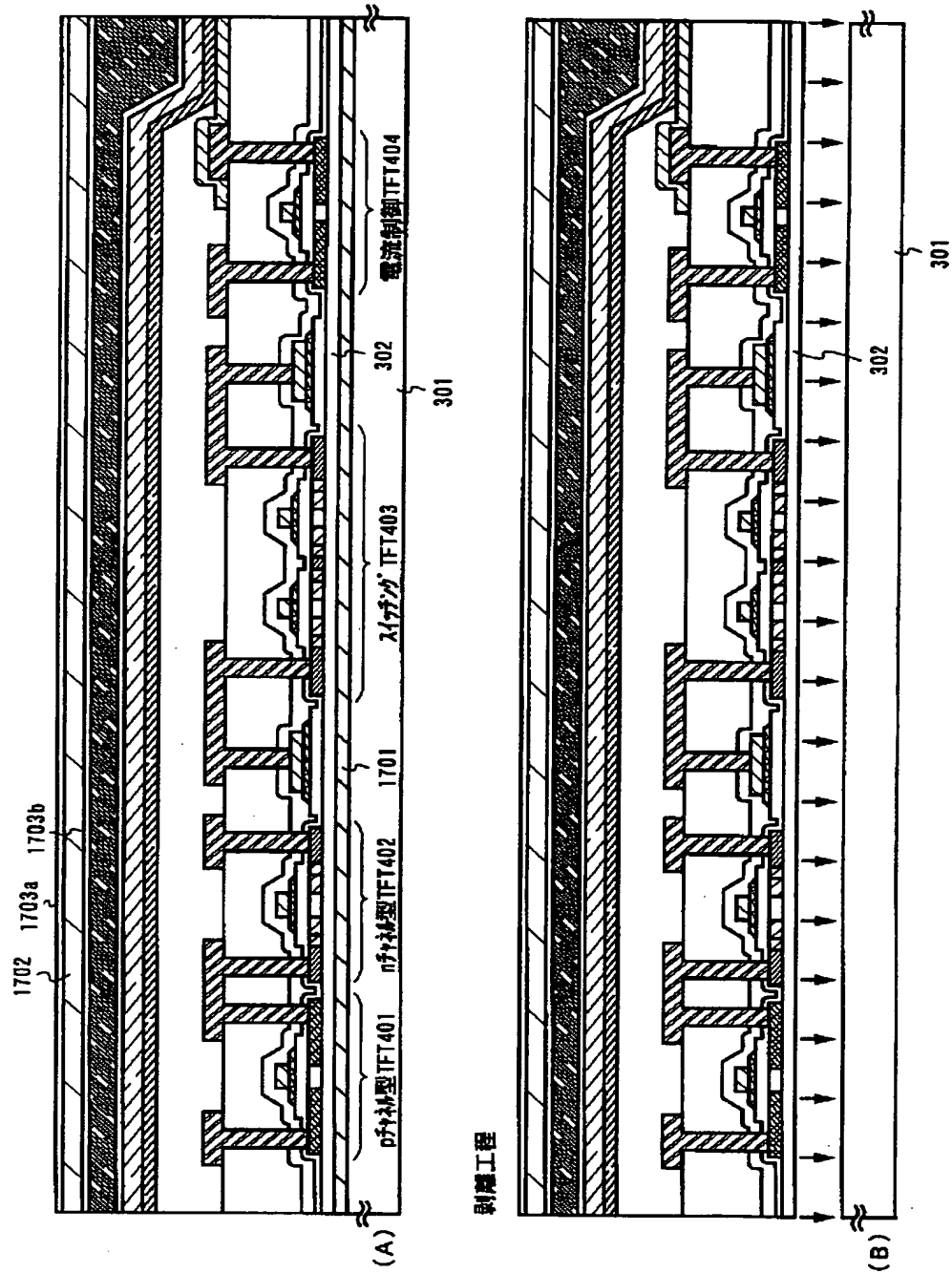
【図17】



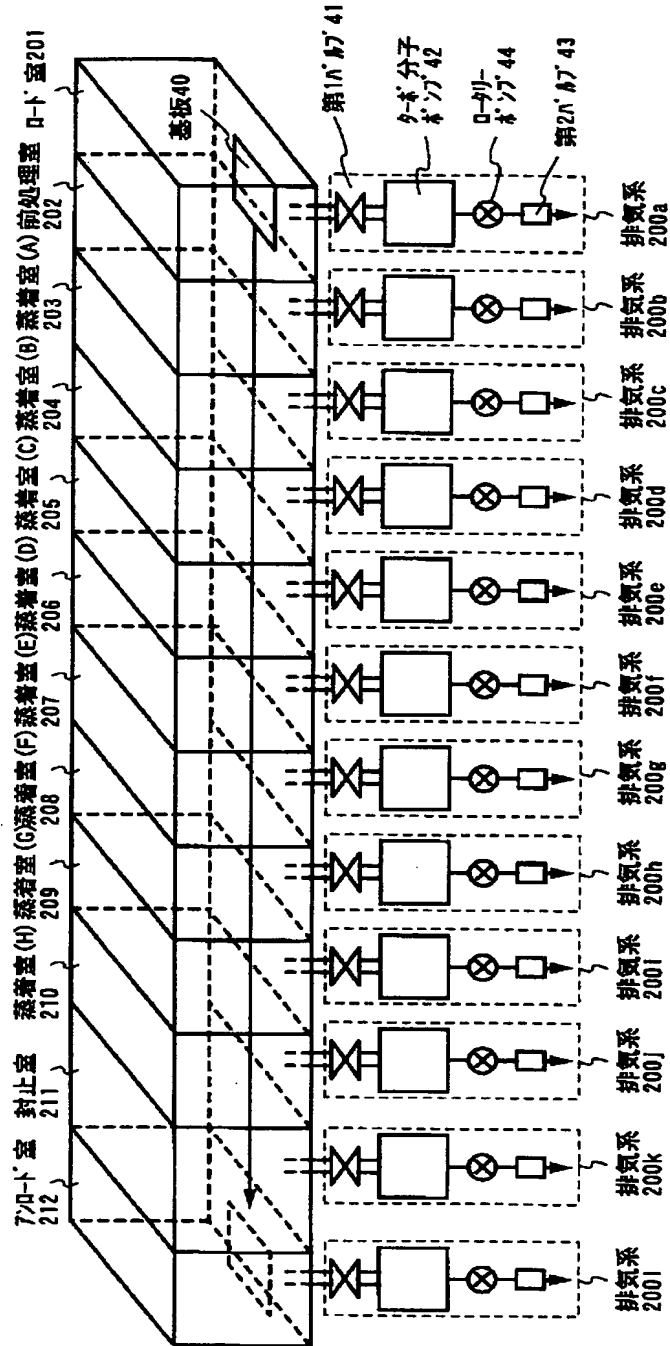
【図 19】



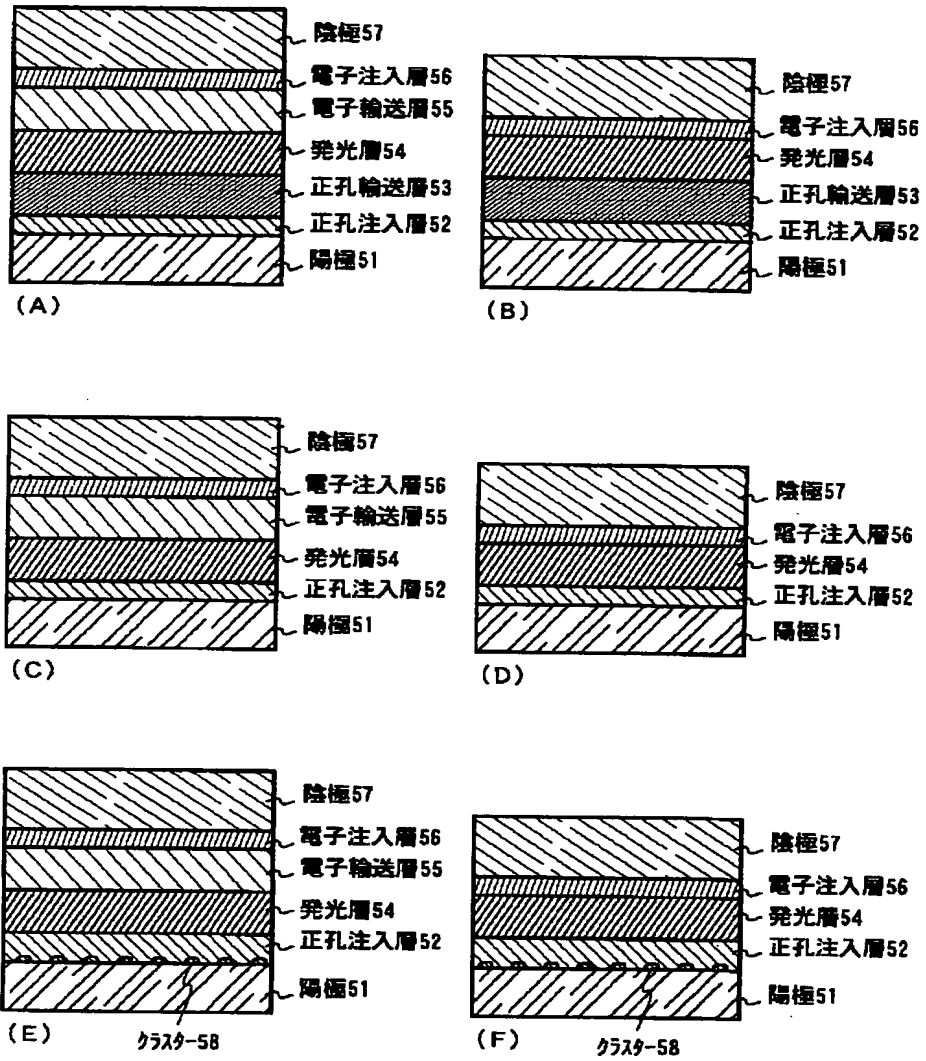
【図20】



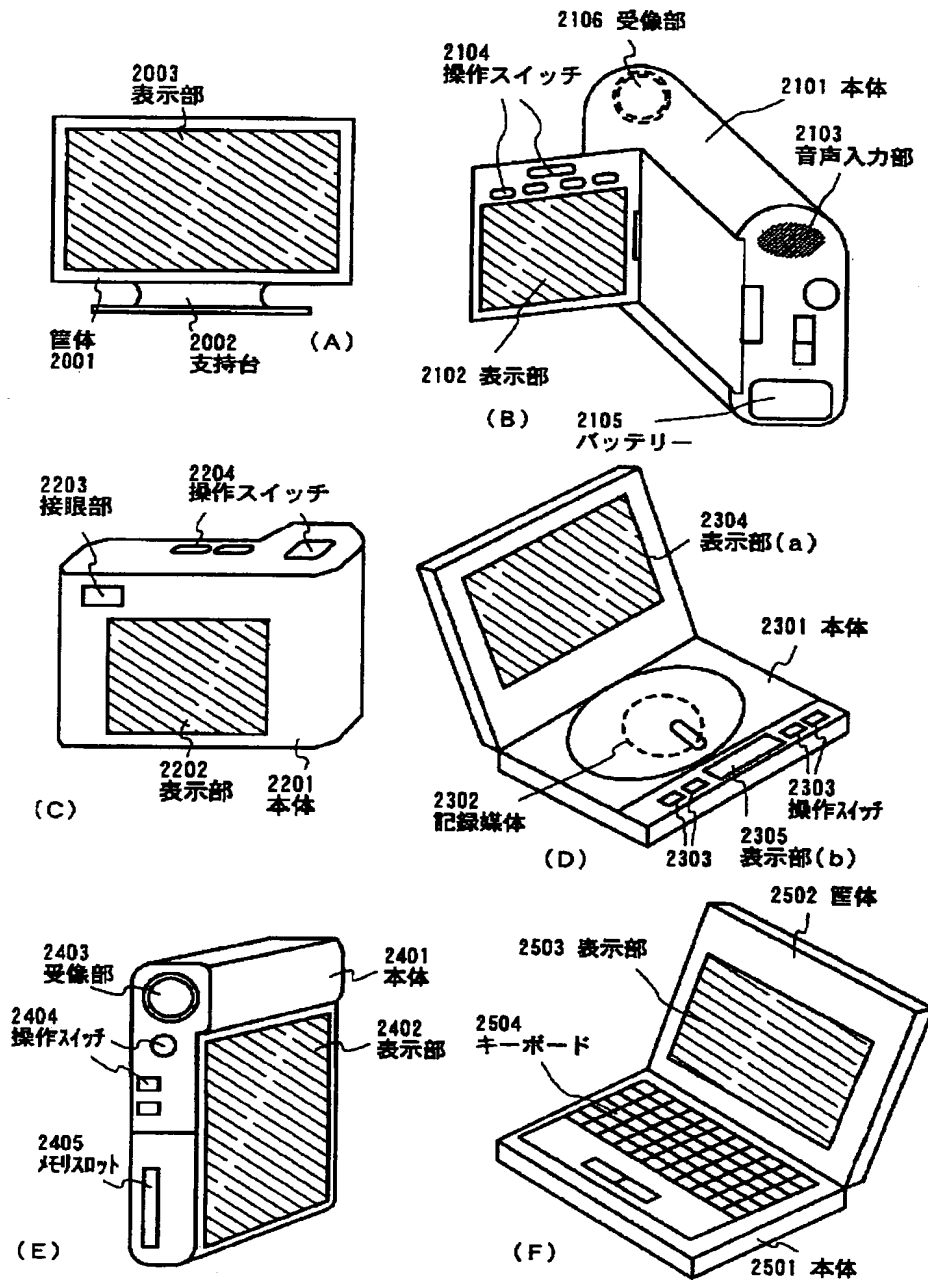
【図22】



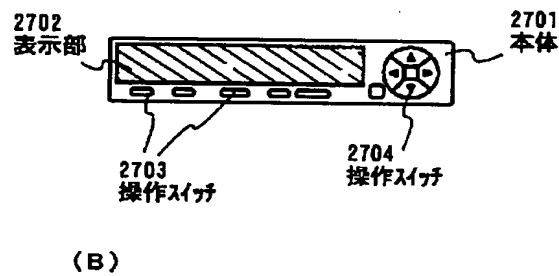
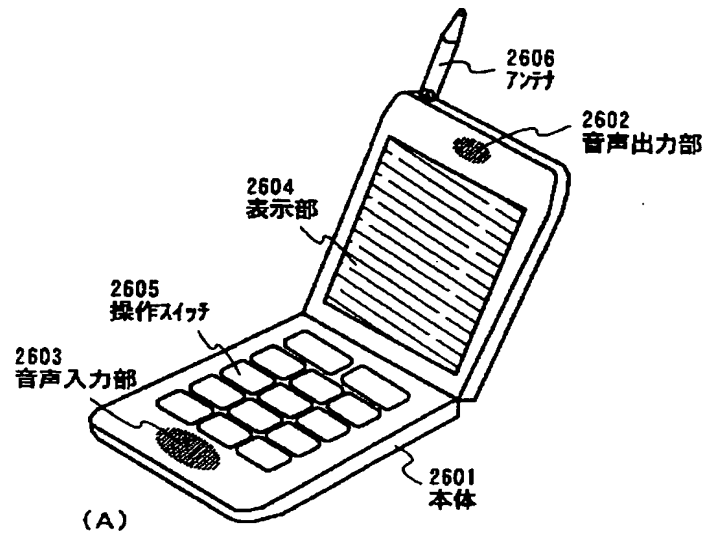
【図23】



【図 24】



【図 25】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
H 0 5 B	33/08	H 0 5 B	33/08
	33/10		33/10
	33/12		33/12
	33/14		33/14
			E
			A

(72) 発明者 犬飼 和隆
 神奈川県厚木市長谷398番地 株式会社半
 導体エネルギー研究所内

F ターム (参考) 3K007 AB04 AB18 BA06 CB01 DA01
 DB03 EB00 FA02
 5C094 AA08 AA43 AA44 AA48 BA03
 BA27 CA19 CA24 CA25 DA09
 DA12 DB01 DB04 EA04 EA05
 EB02 ED03 FA01 FA02 FB01
 GB10
 5G435 AA04 AA17 BB05 CC09 CC12
 GG12 KK05